

中華民國經濟部智慧財產局

INTELLECTUAL PROPERTY OFFICE
MINISTRY OF ECONOMIC AFFAIRS
REPUBLIC OF CHINA

J1046 U.S. PTO
09/809310
03/16/01

茲證明所附文件，係本局存檔中原申請案的副本，正確無訛，
其申請資料如下：

This is to certify that annexed is a true copy from the records of this
office of the application as originally filed which is identified hereunder:

申請日：西元 2000 年 08 月 11 日
Application Date

申請案號：089116185
Application No.

申請人：財團法人工業技術研究院
Applicant(s)

局長

Director General

陳明邦

發文日期：西元 2000 年 9 月 1 日
Issue Date

發文字號：08911012144
Serial No.

五、發明說明 (1)

本發明是有關於一種子母貫通孔結構，且特別是有關於一種可作為電容或電阻，或是產生屏蔽功能的子母貫通孔結構。

近年來，隨著IC元件的整合與製程的改進，以及元件包裝技術的提升與電路設計的突破，輕、薄、短、小已經成為目前電子產品的趨勢。如何達此目標，乃是今日亟待努力的課題。

傳統在電路板上的電容多半是表面黏著裝置(Surface Mounted Device, SMD)元件。請參照第1圖，其所繪示乃SMD電容黏著於電路板上時之上視圖。電容102係固定於配墊(pad)104上，而配墊104則固定於電路板(未標示於圖中)上。導體走線(trace)106係用以連接配墊104與電路板上之貫通孔(via)108。然而，SMD電容102所需之電路板表面積大，尋求另一種減少電容表面積的方法是必要的。

在電容元件的設計中，隨著高介電常數(High dielectric constant)材料的問世，用以省面積的多層基板之層間電容已見於專利文獻中。例如在美國專利案號5,055,966中，提出了一種應用在多層基板上的電容結構。請參照第2A~2C圖，其中，第2A圖所繪示乃傳統之多層基板上的電容結構示意圖；第2B圖所繪示乃傳統之多層基板上的電容結構之剖面圖；而第2C圖所繪示乃傳統之多層基板上的電容結構之等效電路圖。電路板包括基板L1、L2、L3、L4、與L5。基板L3中形成一貫通孔203，而貫通孔203中係填滿了介電材料(dielectric)。貫通孔203之上下分



五、發明說明 (2)

別為導體走線204與導體走線206。則導體走線204、導體走線206與貫通孔203之間形成一個電容結構。藉由改變基板L3的厚度、貫通孔203的直徑大小、以及介電材料的介電常數，可以改變電容值C的大小。

而另一種層間電容則揭露於美國專利案號5,972,231中。請參照第3A~3C圖，其中，第3A圖所繪示乃傳統之多角形導體夾住層間的介電層形成之電容的側視圖；第3B圖所繪示乃傳統之多角形導體夾住層間的介電層形成之電容的上視圖；而第3C圖所繪示乃傳統之多角形導體夾住層間的介電層形成之電容的下視圖。多角形之導體面板302與304分別位於基板306之上下方，而導體面板302與304則各自與導體走線308與310相連。利用基板306中分別位於上下層且位置相互對應的多角形導體面板302與304夾住基板306間的介電層而形成電容。而且經過貫通孔的使用可以使得此結構擴充成多層基板間的電容結構。

雖然上述之兩個專利中所提之電容架構可以節省電路的表面積，但是這種層間電容仍然佔用了相當多的基板層間之面積及層數。對於某些高元件密度之電路板而言，其所佔用的基板層間面積仍然過大或因為必須增加電路板層數而無法接受。同理，對於電阻而言，傳統之電阻亦會有佔用過多之基板面積的問題。

有鑑於此，本發明的目的就是在提供一種子母貫通孔結構。利用孔徑大小不同之柱狀導體相互套疊，中間填充介電材料作為絕緣層或是電阻性材料層以形成子母貫穿孔



五、發明說明 (3)

結構。此子母貫穿孔結構作為電容或電阻使用時，因為此電容係貫穿基板而且原本即為電路所需，故而所需要的基板表面或是基板層間的面積很少且不需增加額外的層數。如此，可以達到節省電路板面積的目的。而且，當將大孔徑之柱狀導體接地，小孔徑之柱狀導體用以傳送訊號時，大孔徑之柱狀導體更可對小孔徑之柱狀導體產生屏蔽功能。

根據本發明的目的，提出一種具絕緣層之子母貫通孔結構，係使用於一承載體上。此子母貫通孔包括：一大孔徑之柱形導體、一小孔徑之柱形導體、與一絕緣層。大孔徑之柱形導體係延伸於一第一方向上。小孔徑之柱形導體係置於大孔徑之柱型導體之內，且亦延伸於第一方向。而絕緣層則填充於大孔徑之柱型導體與小孔徑之柱型導體之間。

根據本發明的另一目的，提出一種子母貫通孔結構之製造方法。首先，在一承載體中形成一第一洞孔。接著，將洞孔之孔壁進行金屬化動作以形成一大孔徑之柱形導體。然後，將大孔徑之柱形導體之內部填滿介電常數的絕緣材料以形成一絕緣層。接著，在絕緣層中形成孔徑比第一洞孔小的一第二洞孔。最後，將第二洞孔之孔壁進行金屬化動作以形成一小孔徑之柱形導體。

根據本發明的另一目的，提出一種子母貫通孔結構，係使用於一承載體(carrier)中，其包括一大孔徑之柱形導體、一小孔徑之柱形導體及一電阻性材料層。大孔徑之



五、發明說明 (4)

柱形導體係延伸於一第一方向上。小孔徑之柱形導體係置於大孔徑之柱型導體之內，且亦延伸於第一方向。而電阻性材料層則填充於大孔徑之柱型導體與小孔徑之柱型導體之間。

根據本發明的另一目的，提出一種子母貫通孔結構之製造方法。首先，在一承載體中形成一第一洞孔。接著，將洞孔之孔壁進行金屬化動作以形成一大孔徑之柱形導體。然後，將大孔徑之柱形導體之內部形成一電阻性材料層。接著，在電阻性材料層中形成孔徑比第一洞孔小的一第二洞孔。最後，將第二洞孔之孔壁進行金屬化動作以形成一小孔徑之柱形導體。

為讓本發明之上述目的、特徵、和優點能更明顯易懂，下文乃以較佳實施例，並配合所附圖式，作詳細說明如下：

圖式之簡單說明：

第1圖繪示乃SMD電容黏著於電路板上時之上視圖；

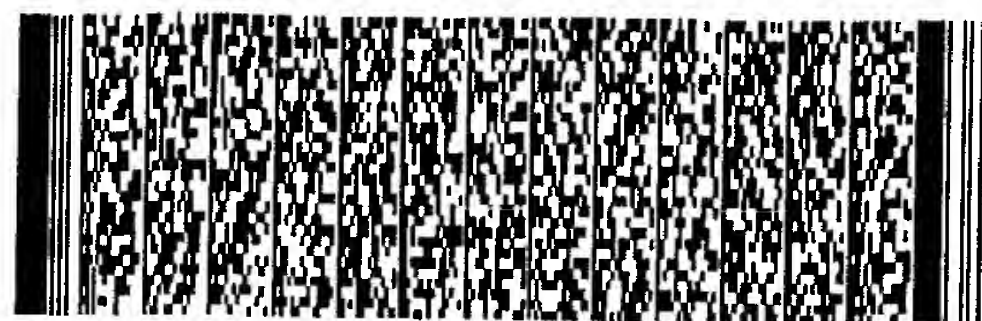
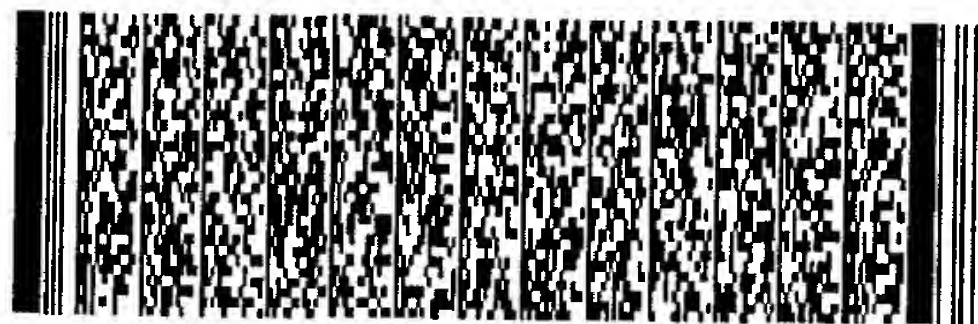
第2A圖繪示乃傳統之多層基板上的電容結構示意圖；

第2B圖繪示乃傳統之多層基板上的電容結構之剖面圖；

第2C圖繪示乃傳統之多層基板上的電容結構之等效電路圖；

第3A圖繪示乃傳統之多角形導體夾住層間的介電層形成之電容的側視圖；

第3B圖繪示乃傳統之多角形導體夾住層間的介電層形



五、發明說明 (5)

成之電容的上視圖；

第3C圖繪示乃傳統之多角形導體夾住層間的介電層形成之電容的下視圖；

第4A圖繪示乃柱形電容之立體圖；

第4B圖繪示乃柱形電容之上視圖；

第5圖繪示乃一般包含貫通孔(via)之電路板立體圖；

第6A圖繪示乃依照本發明一較佳實施例的一種子母貫通孔結構之示意圖；

第6B圖繪示乃依照本發明一較佳實施例的另一種子母貫通孔結構之示意圖；

第7A圖繪示乃使用第6圖所示之子母貫通孔結構作為電容時的剖面示意圖；

第7B圖繪示乃第7A圖之等效電容符號；

第8圖繪示乃將第6圖之子母貫通孔結構應用於電路板中之剖面示意圖；

第9A圖繪示乃電路板上之元件使用傳統電容的示意圖；

第9B圖繪示乃依照本發明實施例，電路板上之元件使用本發明之子母貫通孔結構所形成之電容的示意圖。

第10A圖繪示乃傳統用以產生訊號屏蔽功能之導體走線示意圖；

第10B圖繪示乃應用本發明之子母貫通孔結構之來產生訊號屏蔽功能的示意圖；

第10C圖所繪示乃第10B圖之橫切面的示意圖；



五、發明說明 (6)

第11圖繪示乃可應用本發明之子母貫通孔結構作為電容的電腦系統架構側視圖；

第12圖繪示乃第11圖中所使用之傳統的模組板的上視圖；

第13圖繪示乃使用本發明之子母貫通孔的模組板上視圖；

第14圖繪示乃傳統連接器架構之側視圖；

第15圖繪示乃第14圖之連接器1402之接腳的上視示意圖；

第16圖繪示乃可應用本發明之子母貫通孔結構的連接器架構之側視圖；以及

第17圖繪示乃將子母貫通孔結構形成一電阻元件之剖面示意圖。

標號說明：

102，910，922，1208，1606：電容

104，904，1204，1304：配墊

106，204，206，308，310，504，808，810，906，912，916，920，1001，1002，1708，1710，P1，P2：導體走線

108，203，510，908，914，918，1005，1206，1306：貫通孔

L1，L2，L3，L4，L5，306，502，602，802，804，806，1704：基板



五、發明說明 (7)

302 , 304 : 多角形之導體面板

400 : 柱形電容

402 , 404 : 導體

406 , 608 , 618 , 812 , 1640 , 1718 , 1720 : 絕緣層

500 , 600 , 800 , 1410 : 電路板

604 , 610 , 1722 , 1724 : 洞孔

606 , 1642 , 1714 : 大孔徑之柱形導體

612 , 1638 , 1712 : 小孔徑之柱形導體

614 , 620 : 導體

902 : IC 元件

1406 , : 接腳

1003 , 1004 : 接地走線

1102 : 中央處理器

1104 : 北橋

1106 : 南橋

1108 : IC 腳座

1110 : 錫球

1112 : 轉接板

1114 , 1300 : 模組板

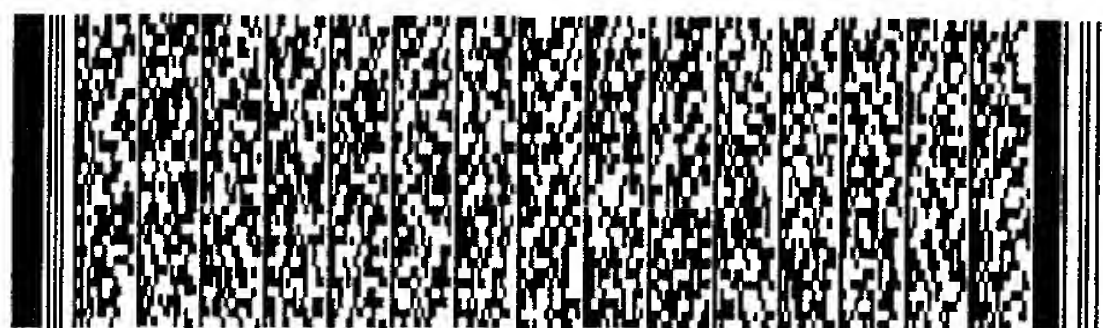
1116 : 墊高板

1118 : 載具板

1202 , 1302 : 焊接區

1402 , 1404 , 1602 , 1604 : 連接器

1408 , 1608 , 1618 , 1620 , 1622 , 1624 , 1626 : 針腳



五、發明說明 (8)

1412, 1628 : 螺絲

1610, 1612, 1614, 1616 : 子母貫通孔

1630, 1632 : 接地層

1634 : 電源層

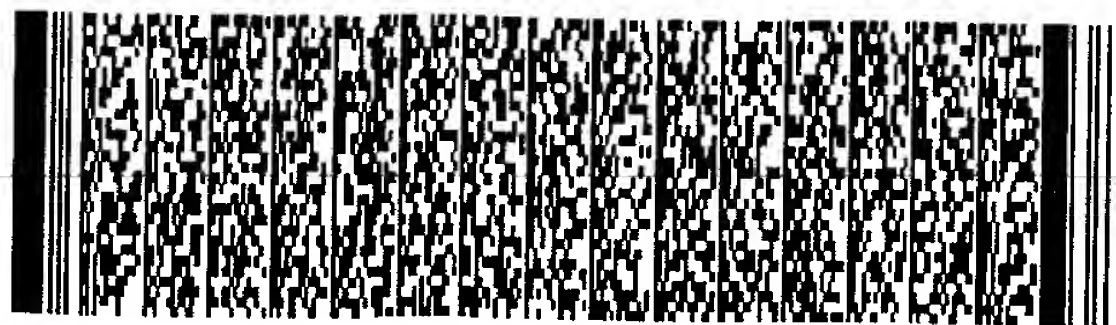
1716 : 電阻性材料層

發明的詳細說明

請參照第4A~4B圖，其繪示乃本發明一實施例的一種柱形電容之示意圖。第4A圖為柱形電容之立體圖，第4B圖為柱形電容之上視圖。將介電常數材料所形成的絕緣層406填充於導體402與404之間，便形成一柱型電容400，其中，導體402與404的形狀例如可以是孔徑大小不同的同軸圓柱體。而電容量的大小與介電常數及導體面積成正比，而與兩導體間的距離成反比。所以在實施例上柱形電容可為任意形狀，可依設計上的需要而更改。

一般包含貫通孔(via)之電路板立體圖係如第5圖所示。電路板500由多層基板所組成。第一基板502上之導體走線504與第二基板506上之導體走線508係以一貫通孔510作為不同基板間的訊號傳送之用。然而，貫通孔510除了作為傳送訊號之外，更可利用本發明第4A~4B圖之結構，將其用途擴充。將第4A~4B圖所示之柱形電容400形成於第5圖之貫通孔510中，即可得到本發具電容效應之子母貫通孔結構。

請參照第6A~6B圖，第6A圖所繪示乃依照本發明一較



五、發明說明 (9)

佳實施例的一種子母貫通孔結構之示意圖；而第6B圖所繪示乃依照本發明一較佳實施例的另一種子母貫通孔結構之示意圖。形成本發明之子母貫通孔的步驟如下：首先，在電路板600之一基板602上形成洞孔604。接著，將洞孔604之孔壁進行金屬化動作以形成大孔徑之柱形導體606。之後，將大孔徑之柱形導體606之內部填滿高介電常數的絕緣層608。接著，在絕緣層608中形成孔徑比洞孔604小的洞孔610。最後，將洞孔610之孔壁進行金屬化動作，例如可用電鍍或灌導電膠等方式，以形成小孔徑之柱形導體612。如此，則完成本發明一較佳實施例的使絕緣層608形成於大孔徑之柱形導體606與小孔徑之柱形導體612間的子母貫通孔結構。

所以，依照本發明一較佳實施例的一種子母貫通孔結構，包括大孔徑之柱形導體606、絕緣層608、與小孔徑之柱形導體612。大孔徑之柱形導體606係延伸於Z方向上。小孔徑之柱形導體612則置於大孔徑之柱型導體606之內，且亦延伸於Z方向。而絕緣層608則是填充於大孔徑之柱型導體606與小孔徑之柱型導體612之間。其中，電路板600可以包括多層基板，而本發明之子母貫通孔結構係可用於貫通一層以上的基板。此外，Z方向則譬如為垂直於電路板602所形成之平面的方向。

其中，在形成子母貫通孔結構的步驟中，係可利用光學成形(photo)或鑽孔成形，譬如鑽頭鑽孔、雷射鑽孔、或是電漿鑽孔的方式，在基板602上形成洞孔604及

申請日期：	案號：
類別：	

(以上各欄由本局填註)

發明專利說明書

一、 發明名稱	中 文	子母貫通孔結構
	英 文	
二、 發明人	姓 名 (中文)	1. 張慧如 2. 李明林 3. 何宗哲
	姓 名 (英文)	1. 2. 3.
	國 籍	1. 中華民國 2. 中華民國 3. 中華民國
	住、居所	1. 新竹縣竹東鎮明星路252巷22號 2. 新竹市武陵西2路11號4樓 3. 新竹市東區科園里民享一街16號
三、 申請人	姓 名 (名稱) (中文)	1. 財團法人工業技術研究院
	姓 名 (名稱) (英文)	1.
	國 籍	1. 中華民國
	住、居所 (事務所)	1. 新竹縣竹東鎮中興路四段195號
	代表人 姓 名 (中文)	1. 孫震
	代表人 姓 名 (英文)	1.



四、中文發明摘要 (發明之名稱：子母貫通孔結構)

一種子母貫通孔結構，係使用於一承載體中。包括：一大孔徑之柱形導體、一小孔徑之柱形導體、與一中間層。大孔徑之柱形導體係延伸於一第一方向上。小孔徑之柱形導體係置於大孔徑之柱型導體之內，且亦延伸於第一方向。而中間層係介於大孔徑之柱型導體與小孔徑之柱型導體之間，並填充絕緣材料或電阻性材料於其中。此子母貫通孔結構作為電容或是電阻使用時，可達到節省電路板面積的目的。而且，本發明之子母貫通孔更可達成訊號屏蔽的功能。

英文發明摘要 (發明之名稱：)



本案已向

國(地區)申請專利

申請日期

案號

主張優先權

無

有關微生物已寄存於

寄存日期

寄存號碼

無

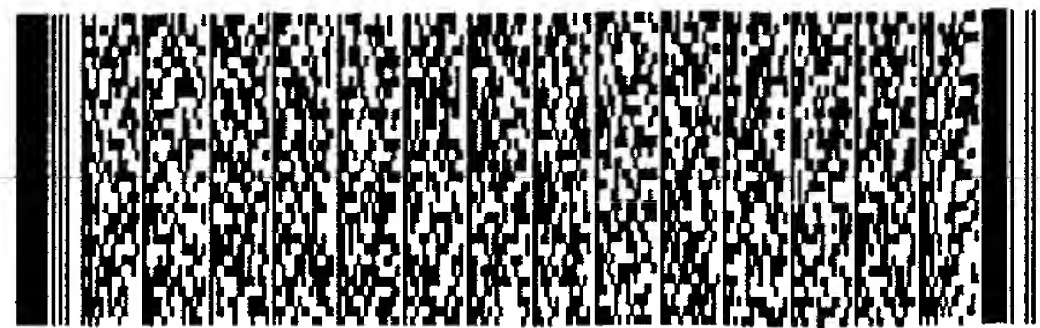
五、發明說明 (10)

610。而將洞孔604及610之孔壁進行金屬化動作時，例如是使用電鍍或塞入導電膠的方式達成。另外，將大孔徑之柱形導體606之內部填滿高介電常數的絕緣材料時，可利用塞入(plug)絕緣材料或壓合(laminate)絕緣材料的方式完成。

更進一步而言，大孔徑之柱形導體606與小孔徑之柱形導體612可為同軸之柱形導體。亦即是，垂直於Z方向的大孔徑之柱形導體606與小孔徑之柱形導體612之橫切面係為圓形，然而，實施本發明時並不在此限。也就是說，垂直於Z方向的大孔徑之柱形導體606與小孔徑之柱形導體612之橫切面可為任意形狀，例如是圓形、橢圓形、方形、或是其他形狀。而且，大孔徑之柱形導體606與小孔徑之柱形導體612之橫切面之形狀也不一定要相同。

在第6A圖與第6B圖中，在形成本發明之子母貫通孔結構時，在形成大孔徑之柱狀導體606之金屬化的過程當中，因為製程之故，使得部分之基板602上覆蓋有與大孔徑之柱狀導體606相連之導體614。如此，導體走線（未示於圖中）亦可透過導體614來與大孔徑之柱狀導體606相連接。而第6B圖中，導體614與基板602之上更覆蓋了絕緣層618。而且在形成小孔徑之柱狀導體612之金屬化的過程當中，亦是因為製程的緣故，使得部分之絕緣層618上覆蓋與小孔徑之柱狀導體612相連之導體620。

另外，在形成小孔徑之柱形導體612的金屬化動作中，亦可使用塞入導電膠的方式完成之。當以電鍍的方式



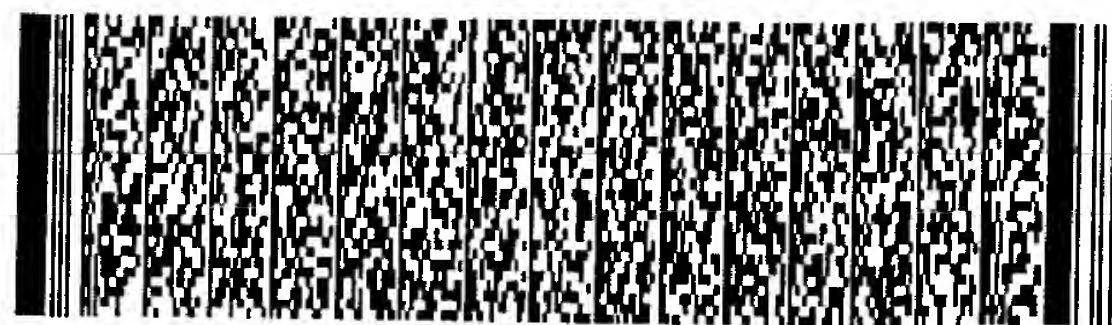
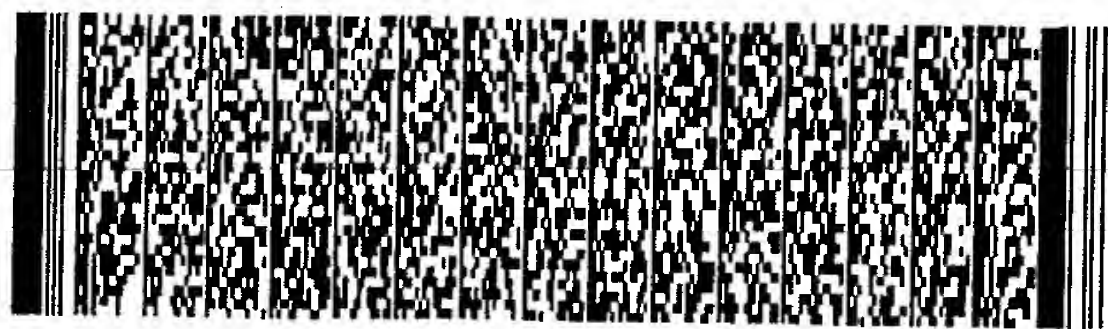
五、發明說明 (11)

達成金屬化的動作的時，小孔徑之柱形導體612為中空之圓柱形；若是使用灌以導電膠的方式完成金屬化的動作時，則小孔徑之柱形導體612為實心圓柱形（請參考第8圖）。兩種小孔徑之柱形導體612之製程與結構均符合本發明之精神。

而且，用以形成絕緣層608之高介電常數的絕緣材料在本發明之子母貫穿孔結構中，實乃扮演著相當重要的角色。因為當本發明之子母貫通孔結構作為電容使用時，其等效電容值係與絕緣層608之介電常數成正比。傳統的絕緣材料之介電常數約為4.5左右，而美國杜邦公司及HADCO公司已生產有介電常數高達60之絕緣材料。其例如為陶瓷材料粉(ceramic powder)與高分子材料之混合物。

請參照第7A~7B圖，其中，第7A圖所繪示乃使用第6圖所示之子母貫通孔結構作為電容時的剖面示意圖，而第7B圖則為其等效的電容符號。小孔徑之柱形導體612係連接至導體走線P1，而大孔徑之柱形導體606則連接至導體走線P2。導體走線P1例如與電源VCC相連，而導體走線P2則例如是與接地層GND相連。此時小孔徑之柱形導體612與大孔徑之柱形導體606之間各有極性不同的電荷分佈於上，以形成電容。

使用本發明之子母貫通孔結構之電容的電容值除了與絕緣層608之介電常數成正比之外，更與大孔徑之柱形導體606與小孔徑之柱形導體612的形狀與大小相關。甚至，當大孔徑之柱形導體606或小孔徑之柱形導體612的橫切面

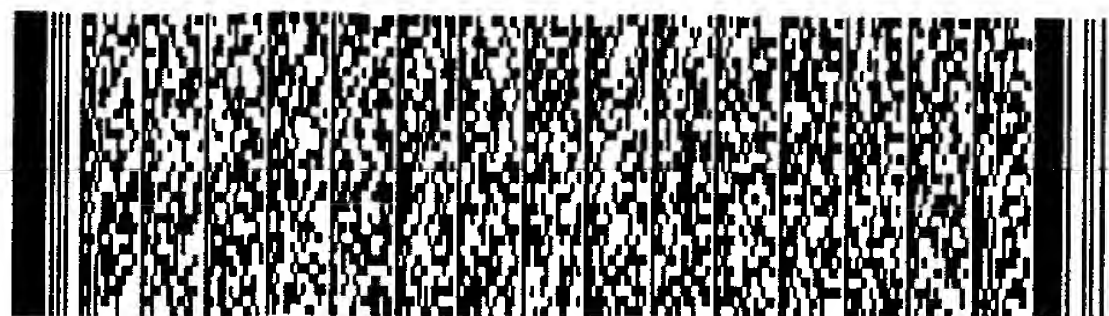


五、發明說明 (12)

不是對稱之圖形的話，與導體走線P1連接的位置和與導體走線P2連接的位置亦會影響到此電容值的大小。而且，可以藉由並聯兩個以上的本發明之子母貫通孔結構的電容，來得到不同電容值的等效電容。

請參照第8圖，其所繪示乃將第6圖之子母貫通孔結構應用於多層電路板中之剖面示意圖。電路板800包括基板802、804、與806。本發明之子母貫通孔結構係形成於基板804中，並貫穿基板804。小孔徑之柱形導體612係與導體走線808相連，而大孔徑之柱形導體606則與導體走線810相連。另外，絕緣層608則與基板間之絕緣層812相連。其中，基板間之絕緣層812係用以將小孔徑之柱形導體612與大孔徑之柱形導體606和導體走線808分隔。此外，導體走線808例如是連接至電源VCC，而導體走線810則例如是連接至接地層GND。在此例中貫通孔仍內藏於基板804內，當然亦可依實際設計需求貫穿基板802或806，或是同時貫穿基板802、804及806。另外，亦可依實際需要將導體走線808連接至接地層GND，而將導體走線810連接至電源VCC。

請參照第9A~9B圖，其中，第9A圖所繪示乃電路板上之元件(component)使用傳統電容的示意圖，而第9B圖所繪示乃依照本發明實施例，電路板上之元件使用本發明之子母貫通孔結構所形成之電容的示意圖。電路板(未示於第9A圖與第9B圖中)上的元件902包括多個接腳(圖中未顯示)，其中接腳的配墊(pad)904係用以接到電源VCC。為了



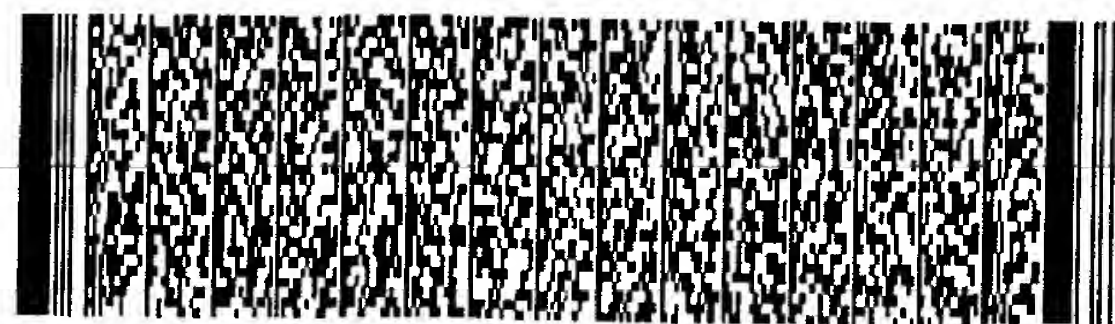
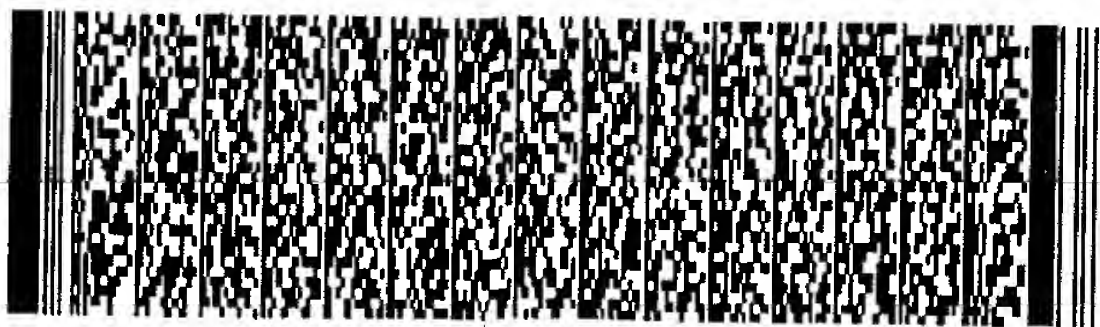
五、發明說明 (13)

穩壓並減少電源VCC產生的雜訊對元件902的影響，元件902中與電源VCC相連的接腳通常會經由配墊904連接至一旁路(bypass)電容。在第9A圖中，接腳904經由導體走線906和貫通孔908來與電路板中的一第一中間基板(未示於第9A圖與第9B圖中)相連，電容910亦會透過導體走線912和貫通孔914來與第一中間基板相連。而電容910之另一端則透過導體走線916與貫通孔918來連接至一第二中間基板(未示於第9A圖與第9B圖中)。

而在第9B圖中，接腳904經過導體走線920直接與本發明之使用子母貫通孔結構的電容922相連，而子母貫通孔922則直接與第二中間基板相連。

傳統第9A圖中之元件902要從電容910取得能量的路徑是，電容910、導體走線912、貫通孔914、貫通孔908、導體走線906與接腳904。而第9B圖中之元件902則可以直接透過導體走線920與接腳之配墊904來從電容922取得能量。因為電容922更接近元件902的配墊904，所以元件902得以更為迅速地從電容922取得能量。同樣地，電容922也能夠更快速地將能量傳送至元件902。因此，使用電容922之元件902得以較傳統方式更為快速地切換其位準，而能夠於高頻時正常動作。所以，應用本發明之子母貫通孔結構作為電容的電路架構，更適合於需要迅速切換的高頻系統中。

本發明之子母貫通孔結構更可用以產生訊號屏蔽(shielding)的功能。請參照第10A~10C圖，其中，第10A



五、發明說明 (14)

圖所繪示乃傳統用以產生訊號屏蔽功能之導體走線示意圖；第10B圖所繪示乃應用本發明之子母貫通孔結構之來產生訊號屏蔽功能的示意圖；第10C圖所繪示乃第10B圖之橫切面的示意圖。在電路系統中，一般對於較敏感的導體走線1001，常常需要在其兩旁圍繞上接地走線1003，以作為訊號屏蔽之用，更而可以控制導體走線1001的阻抗。接地走線1003的訊號屏蔽的功能，可以減少外界對導體走線1001的雜訊干擾，或是減少導體走線1001去干擾外界。然而，傳統接地導體走線1003僅對位於同一層基板的導體走線1001產生訊號屏蔽的功能。當導體走線1001需要換不同層的基板而利用貫通基板的貫通孔1005換層時，導體走線1001上的訊號於貫通孔1005傳遞時，接地導體走線1003將無法對其產生訊號屏蔽的功能。如此，將使得電路設計時的電性問題更加複雜。

而在第10B圖中，將本發明之子母貫通孔結構中的小孔徑之柱形導體1002與導體走線P1相連接，而大孔徑之柱形導體1004與導體走線P2相連接。讓導體走線P2與接地層GND相連，而導體走線P1則連接至一般的訊號線。如此，整個子母貫通孔結構形成一個如同第10C圖所示之類似同軸電纜般的結構，使得訊號在垂直於基板的小孔徑之柱形導體1002傳送時，得以因外圍之大孔徑之柱形導體1004而延續其訊號屏蔽的功能而免於受到外界的干擾並免於干擾外界。並且，經由適當的設計更有助於使訊號傳送時的阻抗值得以一致。



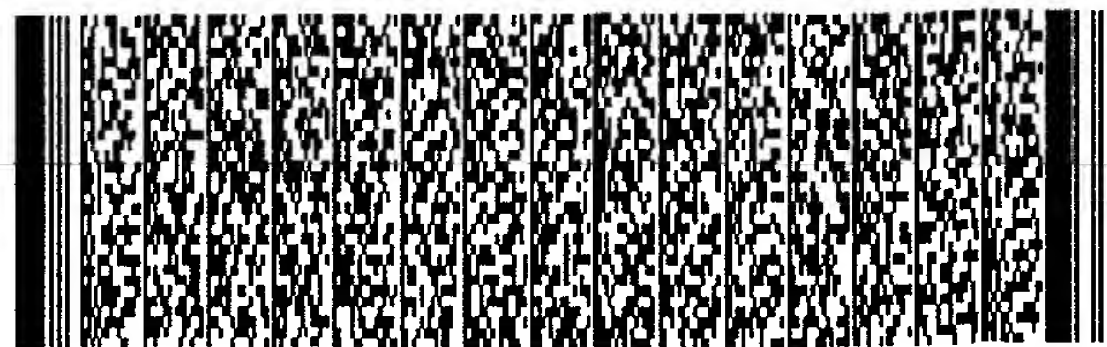
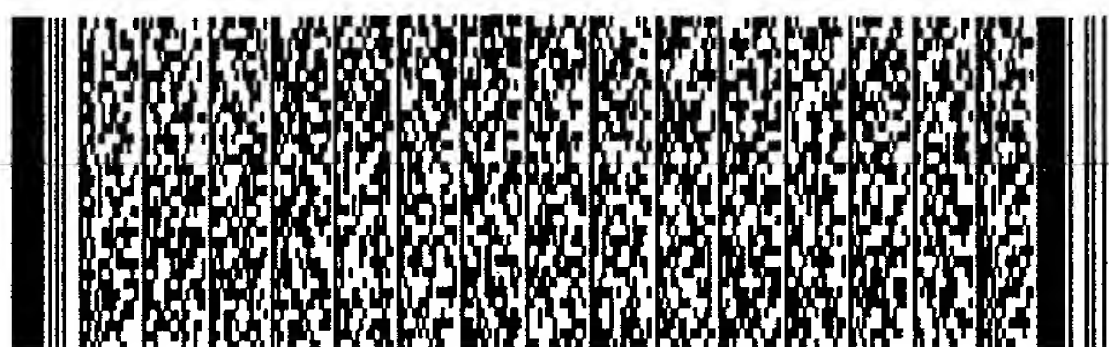
五、發明說明 (15)

另外，使用本發明之子母貫通孔結構以達到訊號屏蔽的功能時，所使用之絕緣層之介電常數並不一定須限定於高介電常數之材質。

本發明之子母貫通孔結構使用於電路板中之實施例係以說明於上，然而其並不足以限制本發明。本發明更可應用於各種承載體(carrier)上，此承載體可為電路板、積體電路(Integrated Circuit, IC)腳座、轉接板(adapter)、連接器(Connector)、散熱片(heat sink)或是其他載具。茲舉二個應用例做說明。

請參照第11圖，其所繪示乃可應用本發明之子母貫通孔結構作為電容的電腦系統架構側視圖。近年來電腦系統，例如是個人數位助理(Personal Digital Assistant, PDA)，係朝向輕薄短小的目標邁進。在第11圖中，電腦系統例如包括中央處理器(Central Process Unit, CPU) 1102、北橋1104、與南橋1106。CPU 1102係置於IC腳座(socket)1108上。而IC腳座1108係利用多個錫球1110與轉接板(adapter)1112相連。而轉接板1112、北橋1104、與南橋1106均利用錫球1110與模組板1114相連。其中，南橋1106可置於墊高板1116(standoff board)內，且墊高板1116則分別與模組板1114和載具板(carrier board)1118相連。

在第12圖中，係繪示了第11圖中所使用之傳統的模組板1114的上視圖。模組板1114上包括一元件焊接區1202，用以與轉接板1112電性相連。焊接區1202裡包括有多個對



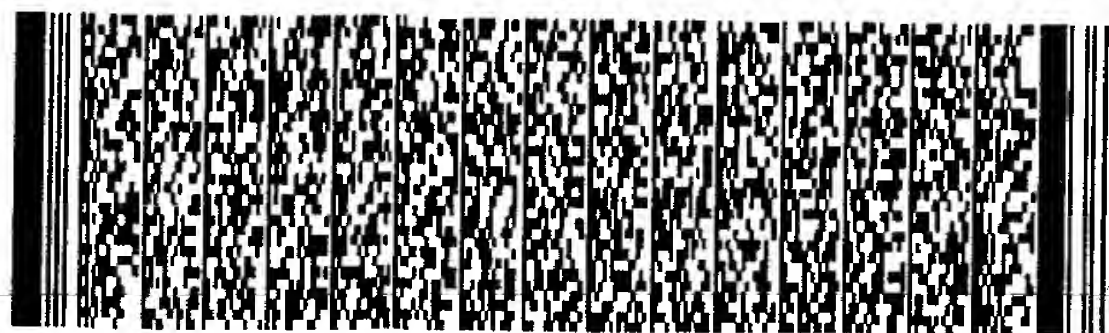
五、發明說明 (16)

應至CPU 1102中連接到電源VCC之接腳的配墊1204。通常為了達到穩壓的目的，CPU 1102中，每個連接電源VCC的接腳均會連接至一電容。在傳統作法中，係以配墊1204連接至一貫通孔1206，來與一表面黏著裝置(Surface Mounted Device, SMD)電容1208相連接。由第12圖可看出，因為傳統之模組板1114上使用了多個SMD電容1208，而這些SMD電容1208將佔去大部分之模組板1114的面積，使得模組板1114上所剩之面積不多，而無法容納很多的其他的元件。如此，模組板1114將於應用上受到限制。

請參照第13圖，其所繪示乃使用本發明之子母貫通孔的模組板上視圖。在模組板1300上包括一焊接區1302，用以與轉接板1112電性相連。焊接區1302裡包括有多個對應至CPU 1102中連接到電源VCC的接腳的配墊1304。依照本發明之精神，可以在配墊1304所連接的貫通孔1306裡，形成本發明之子母貫通孔結構，來得到所需之電容。如此，因為使用本發明之子母貫通孔的電容結構並不會佔用到模組板1300之面積，所以，可以達到省面積的目的，並使得模組板1300得以放置更多的元件而達到更多功能的電路設計。

當然地，在第11圖中，不僅可於模組板1114之貫通孔中形成本發明之子母貫通孔結構，更可於轉接板1112或模組板IC腳座1108中使用本發明之子母貫通孔結構。同樣地可以達到節省面積的目的。

請參照第14圖，其所繪示乃傳統連接器架構之側視



五、發明說明 (17)

圖。一般連接器(connector)有公座(male)與母座(female)之分。公座之連接器1402係固定於母座之連接器1404上。連接器1402之接腳(pin)1406係插入連接器1404之針腳(connect)1408中，而連接器1404之針腳(connect)1408則更用以使得連接器1404固定於電路板1410中。螺絲1412係用以將連接器1404鎖付於電路板1410上。

第15圖所示乃第14圖之轉連接器1402之接腳的上視示意圖。在許多高頻電路的設計中，為了得到較好的訊號品質，常常讓連接器1402的接腳如梅花座的方式來排列，其如第15圖所示。也就是說，用以輸出訊號的訊號接腳S的兩旁通常是盡量使用接地接腳G來包圍之，以達到隔離訊號雜訊的目的。然而，此種作法中，所需要之接腳的數目將大為增加，而增大連接器的體積。

請參照第16圖，其所繪示乃可應用本發明之子母貫通孔結構的連接器架構之側視圖。連接器1604中係包括具有使用本發明之子母貫通孔結構所形成之電容1606的針腳(connect)1608，與具有產生訊號屏蔽功能之子母貫通孔1610、1612、1614與1616的針腳1618、1620、1622與1624。螺絲1628係用以連接接地層(ground plane)1630與接地層1632。針腳1626係連接至連接器1602的接地接腳，故而不需要使用本發明之子母貫通孔來達到訊號屏蔽的目的。針腳1608係連接至連接器1602的電源接腳，並用以連接至電源層(power plane)1634。為了達到穩壓的目的，故而針腳1608連接至電容1606。電容1606中的大孔徑之柱

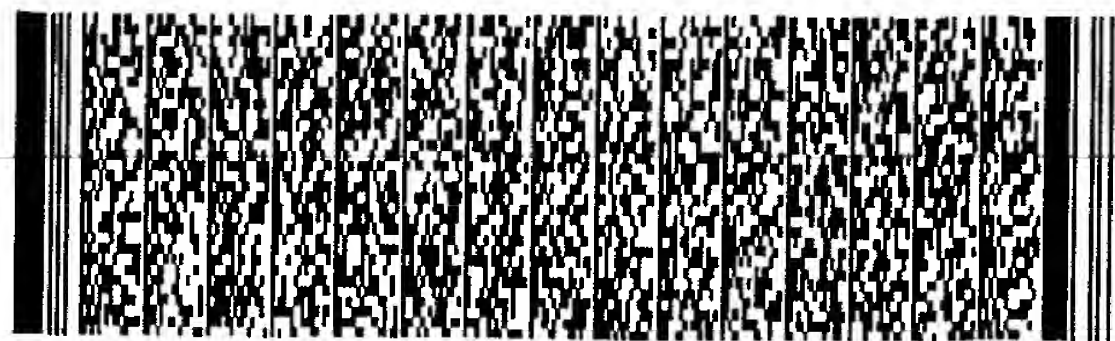
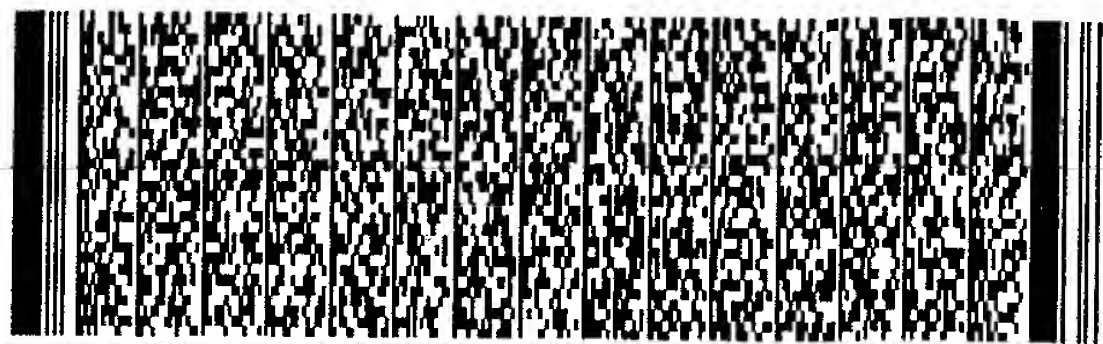


五、發明說明 (18)

型導體1636係連接至接地層1632，而小孔徑之柱型導體1638則隨著針腳1608連接至電源層1634。兩者之間為高介電常數之絕緣層1640，如此便可產生電容效應。子母貫通孔1610、1612、1614與1616之大孔徑之柱型導體(例如是大孔徑之柱型導體1642)係連接至接地層1632，以對針腳1618、1620、1622與1624產生訊號屏蔽的效果。如此，不僅可以減少連接器1602之接腳數目與連接器1604之針腳數目，並可節省連接器1602與1604所需之面積。

同理，當具有多個接腳之IC，固定於具有多個針腳之IC腳座上時，亦可於IC腳座上使用本發明之子母貫通孔，其架構亦可如同第16圖所示。

就另外一方面而言，若將本發明之子母貫通孔結構中之高介電常數的絕緣層使用一電阻性材料替代的話，則可形成一電阻元件。電阻值的大小與材料的電阻係數及長度成正比，而與物體截面積成反比，所以除了可使用不同電阻係數之材料外，更可藉由改變孔徑之大小及貫通孔之深度(即板厚)來得到適當的電阻值。請參照第17圖，其所繪示乃將子母貫通孔結構形成一電阻元件之剖面示意圖。本發明之子母貫通孔結構所形成之電阻元件係置於基板1704中，並貫穿基板1704。小孔徑之柱形導體1712係與導體走線1708相連，而導體走線1708係可連接至訊號線、電源層VCC或是接地層GND。大孔徑之柱形導體1714則與導體走線1710相連，而導體走線1710亦可連接至訊號線、電源層VCC或是接地層GND。電阻性材料層1716則置於小孔徑之柱



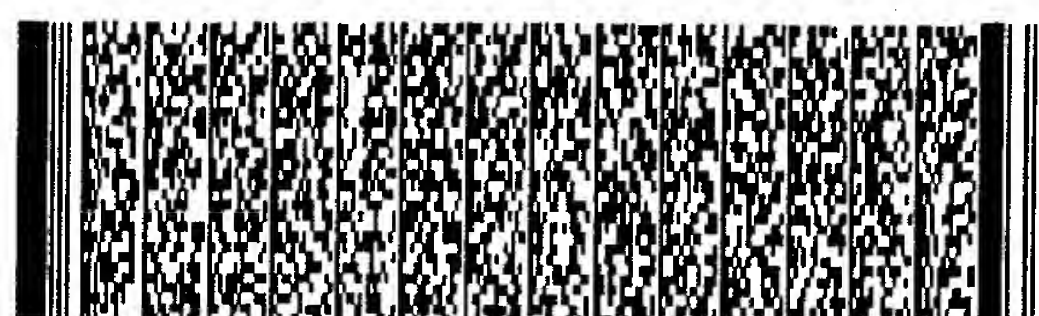
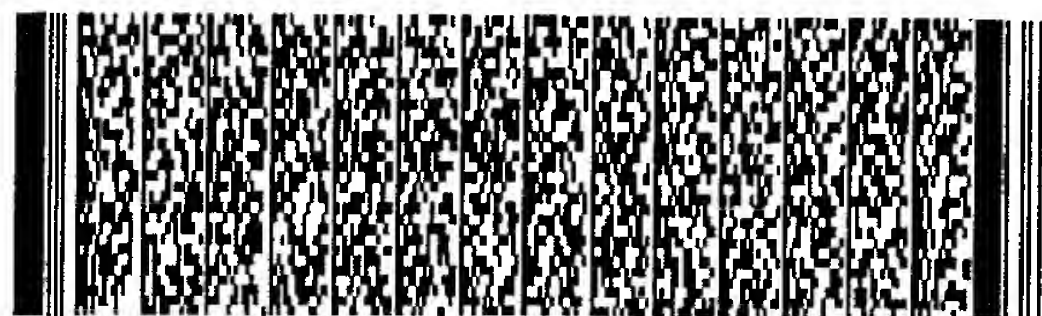
五、發明說明 (19)

型導體1712與大孔徑之柱型導體1714之間。其中，絕緣層1718與1720係用以分隔小孔徑之柱形導體1724與大孔徑之柱形導體1714。當大孔徑之柱形導體1714經由導體走線1710連接至訊號端，且小孔徑之柱形導體1712經由導體走線1708連接至接地層GND時，使用本發明之子母貫通孔結構所形成之電阻元件為一下拉(pull down)電阻。同樣地，當小孔徑之柱形導體1712經由導體走線1708連接至電源層VCC時，其為一上推(pull up)電阻，而當小孔徑之柱形導體1712經由導體走線1708亦連接至訊號線時，其可作為終端匹配電阻(terminator)。本發明之子母貫通孔結構所形成之電阻元件亦可應用於電路板、IC腳座、轉接板、連接器、散熱片或是其他載具等承載體中。如此，亦可達到節省面積的目的。

其中，以包含基板1704之承載體為例，將子母貫通孔結構形成一電阻元件的製造方法敘述如下：首先，在基板1704中形成一洞孔1722。接著，將洞孔1722之孔壁進行金屬化動作以形成一大孔徑之柱形導體1714。然後，在大孔徑之柱形導體1714的內部形成電阻性材料層1716。然後，在電阻性材料層中形成孔徑比洞孔1722小的洞孔1724。最後，將洞孔1724之孔壁進行金屬化動作以形成小孔徑之柱形導體1712。

【發明效果】

茲將應用本發明之子母貫通孔結構作為電容與傳統之

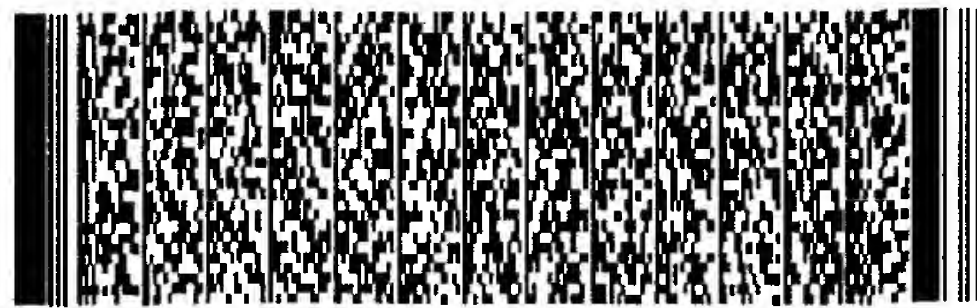
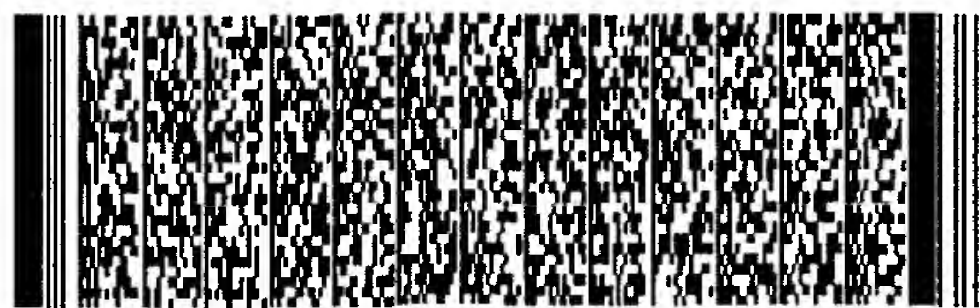


五、發明說明 (20)

SMD 電容之優缺點比較如下：(1)就所使用的電路板之表面積而言：本發明之子母貫通孔結構作為電容所使用的表面積遠小於SMD電容所使用之表面積。(2)就是否可以多層化而言：本發明之子母貫通孔結構作為電容可以使用於電路板之多層基板中，而SMD電容僅能使用於電路板表面。(3)就是否可以放在基板中形成內藏式電容而言：本發明之子母貫通孔作為電容可內藏於基板中，而SMD電容則不然。(4)就電性特性而言：本發明之子母貫通孔作為電容比SMD電容更適於使用於高頻電路，且本發明亦可應用於產生訊號屏蔽的功能。

另將應用本發明之子母貫通孔結構作為電阻與傳統之SMD電阻之優缺點比較如下：(1)就所使用的電路板之表面積而言：本發明之子母貫通孔結構作為電阻所使用的表面積遠小於SMD電阻所使用之表面積。(2)就是否可以多層化而言：本發明之子母貫通孔結構作為電阻可以使用於電路板之多層基板中，而SMD電阻僅能使用於電路板表面。(3)就是否可以放在基板中形成內藏式電阻而言：本發明之子母貫通孔作為電阻可內藏於基板中，而SMD電阻則不然。(4)就電性特性而言：本發明之子母貫通孔作為電阻比SMD電阻更能有效縮短導線路徑(Trace Path)，減少信號的損耗(loss)及延遲(delay)，電性上的表現更優於SMD電阻。

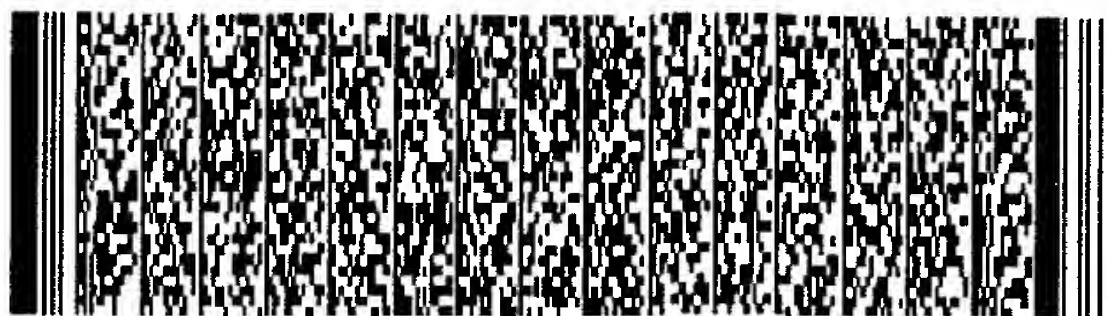
本發明上述實施例所揭露之子母貫通孔結構作為電容或電阻使用時，所需要的基板表面或是基板層間的面積很少。如此，可以達到節省電路板面積的目的。並且，除了



五、發明說明 (21)

可內藏於基板或載具中而不需要外加的電容或電阻元件之外，更可省下零件的成本與組裝製程的成本。當利用本發明之子母貫通孔結構用以產生訊號屏蔽功能時，亦可達到極佳的效果。

綜上所述，雖然本發明已以一較佳實施例揭露如上，然其並非用以限定本發明，任何熟習此技藝者，在不脫離本發明之精神和範圍內，當可作各種之更動與潤飾，因此本發明之保護範圍當視後附之申請專利範圍所界定者為準。



圖式簡單說明

六、申請專利範圍

1. 一種子母貫通孔結構，係使用於一承載體中，包括：

一大孔徑之柱形導體，係延伸於一第一方向上；

一小孔徑之柱形導體，係置於該大孔徑之柱型導體之內，且亦延伸於該第一方向；以及

一絕緣層，係填充於該大孔徑之柱型導體與該小孔徑之柱型導體之間。

2. 如申請專利範圍第1項所述之子母貫通孔結構，其中，該第一方向為垂直於該承載體所形成之平面的方向。

3. 如申請專利範圍第1項所述之子母貫通孔結構，其中，該承載體為一電路板、一積體電路腳座、一轉接板、一連接器、一散熱片或是一般載具。

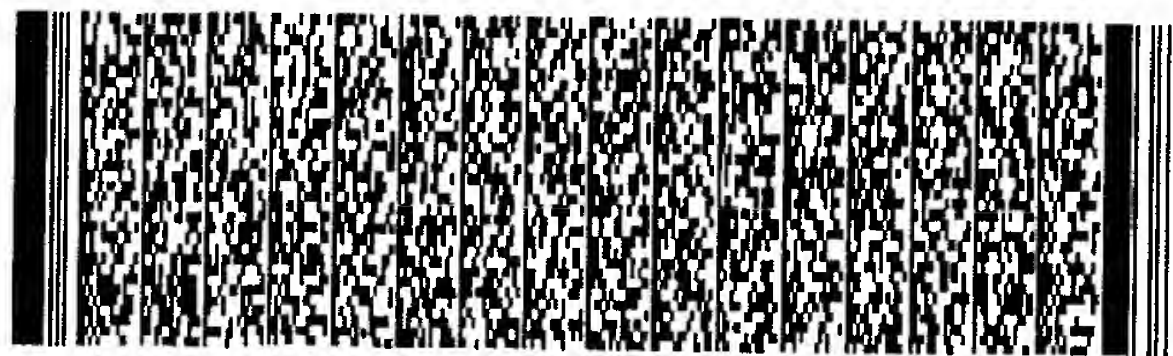
4. 如申請專利範圍第1項所述之子母貫通孔結構，其中，該承載體係包括至少一層基板，該子母貫通孔結構係貫通部份的基板。

5. 如申請專利範圍第1項所述之子母貫通孔結構，其中，該承載體係包括至少一層基板，該子母貫通孔結構係貫通全部的基板。

6. 如申請專利範圍第1項所述之子母貫通孔結構，其中，垂直於該第一方向的該大孔徑之柱形導體與該小孔徑之柱形導體之橫切面可為任意形狀。

7. 如申請專利範圍第1項所述之子母貫通孔結構，其中，復包含：

一第一走線，與該大孔徑柱形導體連接，並與一接地



六、申請專利範圍

層相接；以及

一第二走線，與該小孔徑柱形導體連接，並連接至一訊號線。

8. 如申請專利範圍第1項所述之子母貫通孔結構，其中，復包含：

一第一走線，與該大孔徑柱形導體連接，並與一接地層相接；以及

一第二走線，與該小孔徑柱形導體連接，並與一電源層相接。

9. 如申請專利範圍第1項所述之子母貫通孔結構，其中，復包含：

一第一走線，與該大孔徑柱形導體連接，並與一電源層相接；以及

一第二走線，與該小孔徑柱形導體連接，並與一接地層相接。

10. 如申請專利範圍第1、7、8、或9項所述之子母貫通孔結構，其中，該絕緣層為一高介電常數之材料。

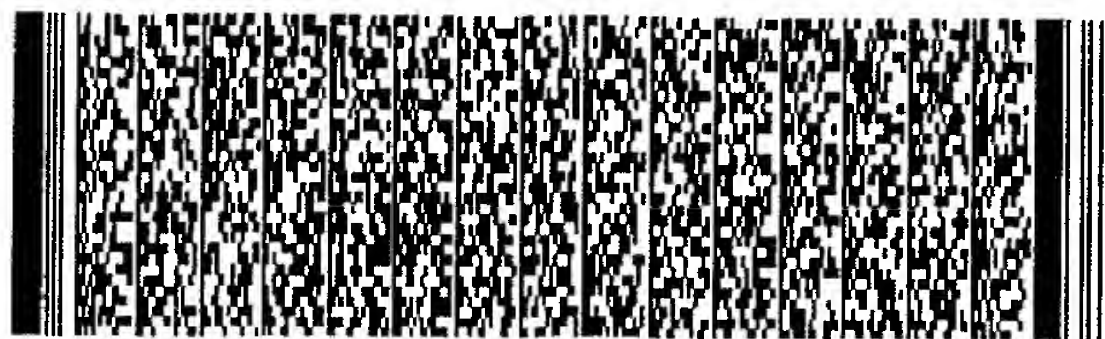
11. 一種子母貫通孔結構之製造方法，包括：

(a) 在一電路板上形成一第一洞孔；

(b) 將該第一洞孔之孔壁進行金屬化動作以形成一大孔徑之柱形導體；

(c) 將該大孔徑之柱形導體之內部填滿介電常數材料的一絕緣層；

(d) 在該絕緣層中形成孔徑比該第一洞孔小的一第二



六、申請專利範圍

洞孔；以及

(e) 將該第二洞孔之孔壁進行金屬化動作以形成一小孔徑之柱形導體。

12. 如申請專利範圍第11項所述之子母貫通孔結構之製造方法，其中，在該步驟(b)中，金屬化的動作係使用電鍍的方式達成。

13. 如申請專利範圍第11或12項所述之子母貫通孔結構之製造方法，其中，在該步驟(e)中，金屬化動作係使用電鍍的方式達成。

14. 如申請專利範圍第11或12項所述之子母貫通孔結構之製造方法，其中，在該步驟(e)中，金屬化動作係使用塞入導電膠的方式完成。

15. 如申請專利範圍第11項所述之子母貫通孔結構之製造方法，其中，在該步驟(c)中，係使用塞入絕緣材料或壓合絕緣材料的方式，將該大孔徑之柱形導體之內部填滿介電常數的絕緣材料。

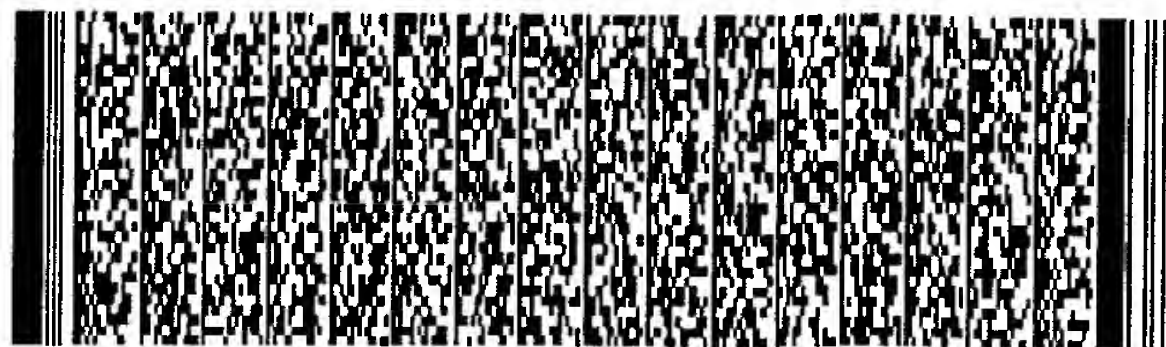
16. 一種子母貫通孔結構，係使用於一承載體中，包括：

一大孔徑之柱形導體，係延伸於一第一方向上；

一小孔徑之柱形導體，係置於該大孔徑之柱型導體之內，且亦延伸於該第一方向；以及

一電阻性材料層，係填充於該大孔徑之柱型導體與該小孔徑之柱型導體之間。

17. 如申請專利範圍第16項所述之子母貫通孔結構，



六、申請專利範圍

其中，復包含：

一第一走線，與該大孔徑柱形導體連接，並連接至一訊號線；以及

一第二走線，與該小孔徑柱形導體連接，並連接至一電源層、一接地層或是一訊號線。

18. 如申請專利範圍第16或17項所述之子母貫通孔結構，其中，該承載體為一電路板、一積體電路腳座、一轉接板、一連接器、一散熱片或是一般載具。

19. 如申請專利範圍第16項所述之子母貫通孔結構，其中，該第一方向為垂直於該承載體所形成之平面的方向。

20. 如申請專利範圍第16項所述之子母貫通孔結構，其中，該承載體係包括至少一層基板，該子母貫通孔結構係貫通部份的基板。

21. 如申請專利範圍第16項所述之子母貫通孔結構，其中，該承載體係包括至少一層基板，該子母貫通孔結構係貫通全部的基板。

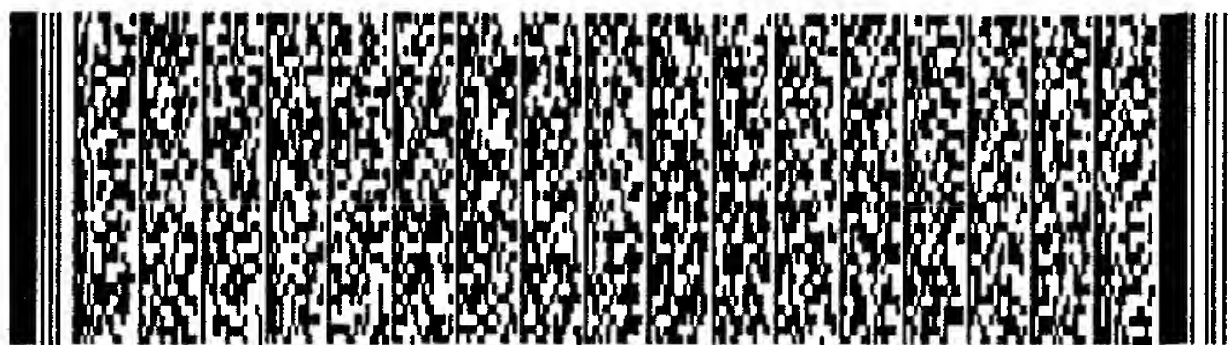
22. 一種子母貫通孔結構之製造方法，包括：

(a) 在一電路板上形成一第一洞孔；

(b) 將該第一洞孔之孔壁進行金屬化動作以形成一大孔徑之柱形導體；

(c) 將該大孔徑之柱形導體之內部形成一電阻性材料層；

(d) 在該電阻性材料層中形成孔徑比該第一洞孔小的



六、申請專利範圍

一 第二洞孔；以及

(e) 將該第二洞孔之孔壁進行金屬化動作以形成一小孔徑之柱形導體。

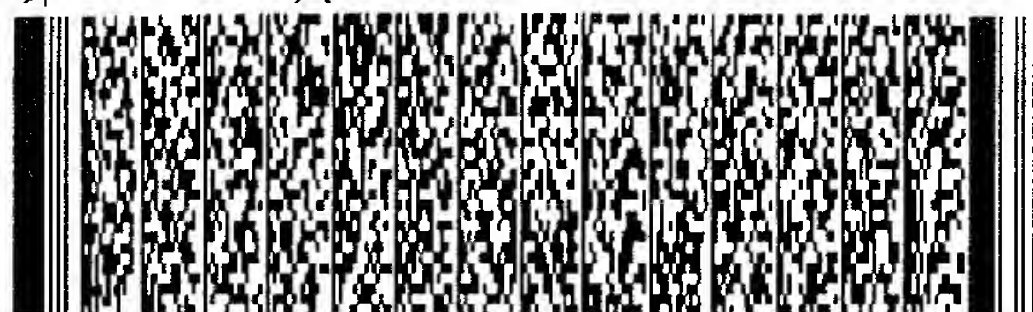
23. 如申請專利範圍第22項所述之子母貫通孔結構之製造方法，其中，在該步驟(b)中，金屬化的動作係使用電鍍的方式達成。

24. 如申請專利範圍第22或23項所述之子母貫通孔結構之製造方法，其中，在該步驟(e)中，金屬化動作係使用電鍍的方式達成。

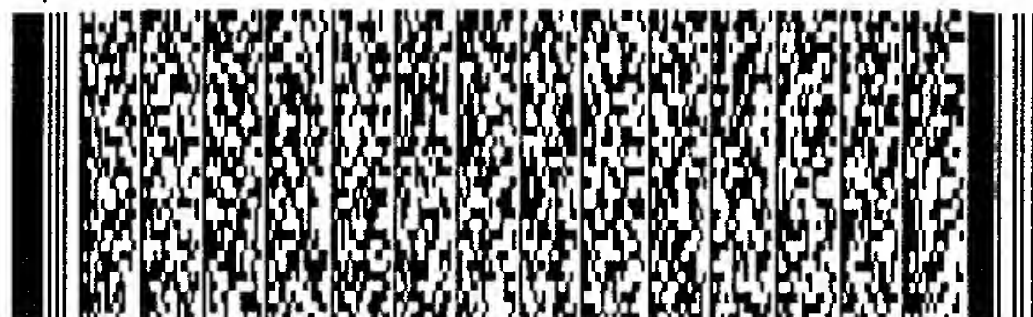
25. 如申請專利範圍第22或23項所述之子母貫通孔結構之製造方法，其中，在該步驟(e)中，金屬化動作係使用塞入導電膠的方式完成。



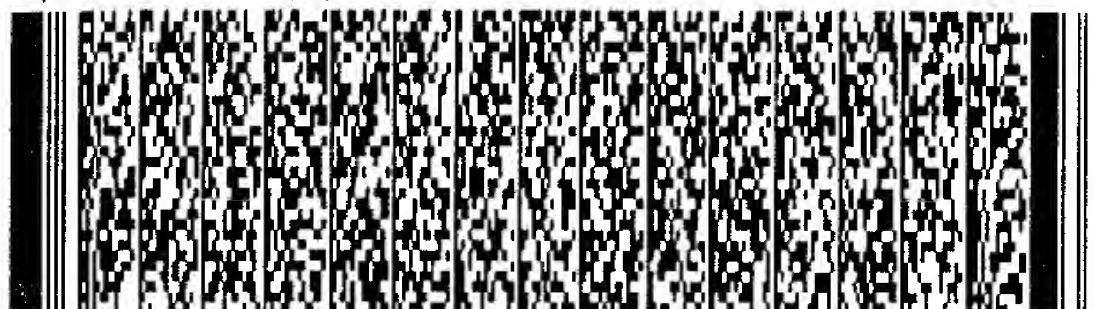
第 12/30 頁



第 13/30 頁



第 14/30 頁



第 15/30 頁



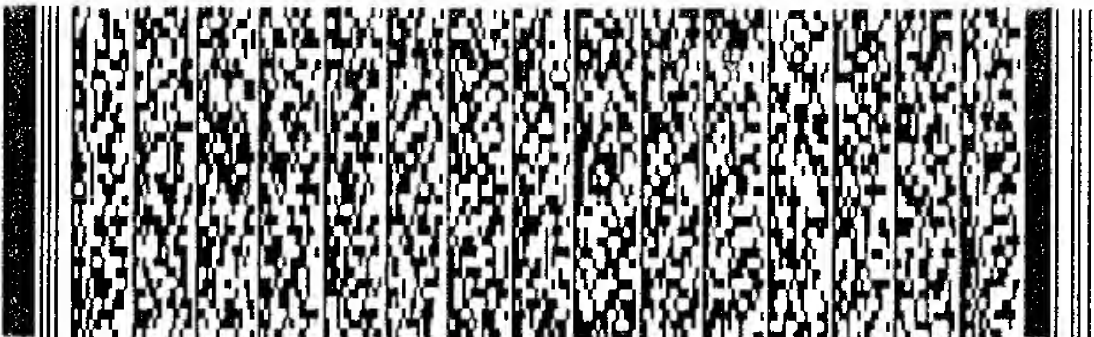
第 16/30 頁



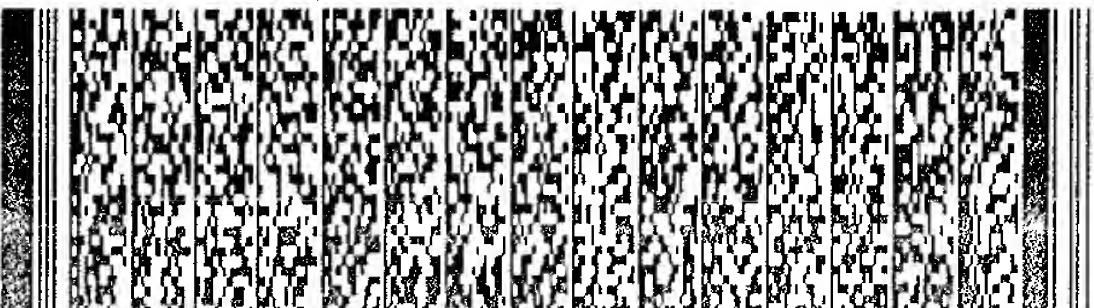
第 17/30 頁



第 18/30 頁



第 19/30 頁



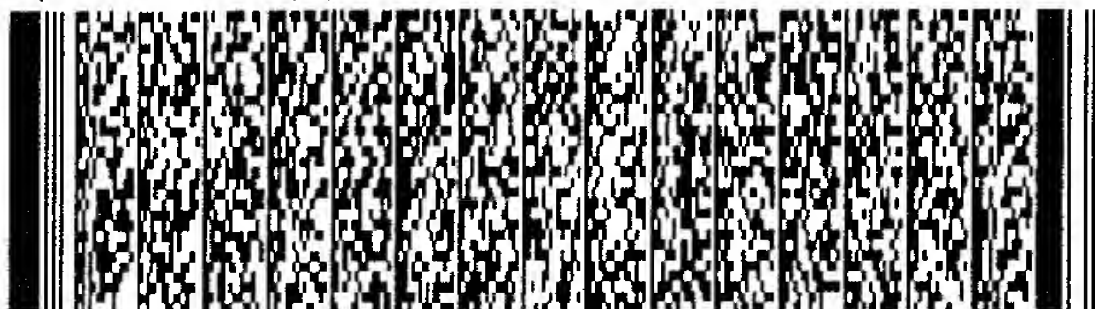
第 13/30 頁



第 14/30 頁



第 15/30 頁



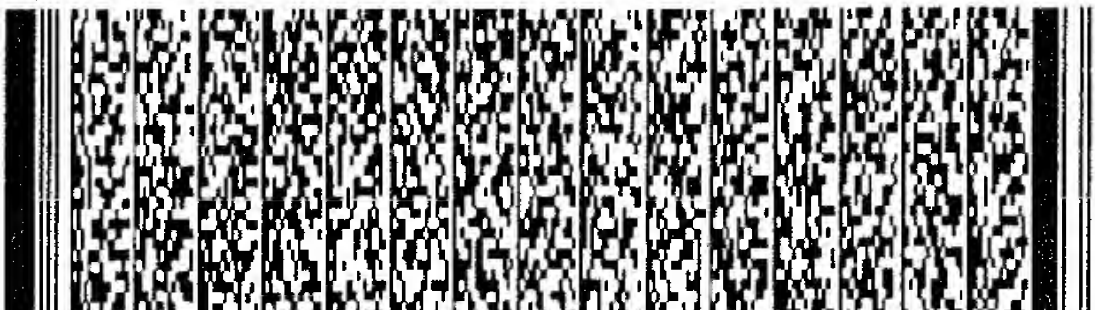
第 16/30 頁



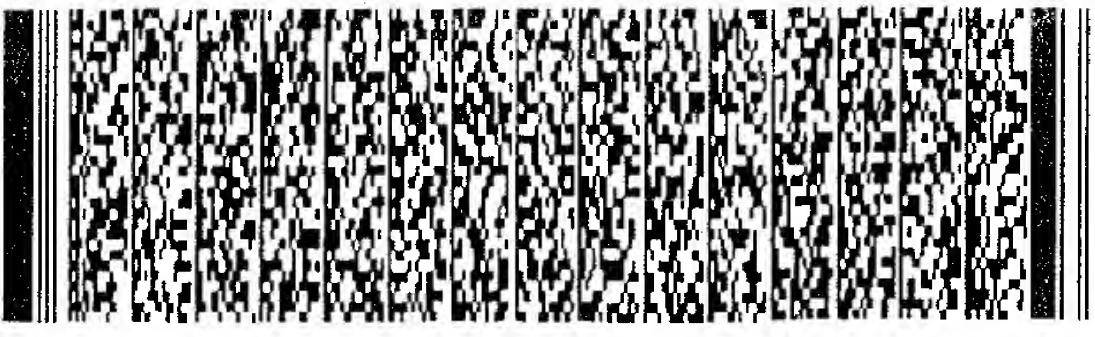
第 17/30 頁



第 18/30 頁



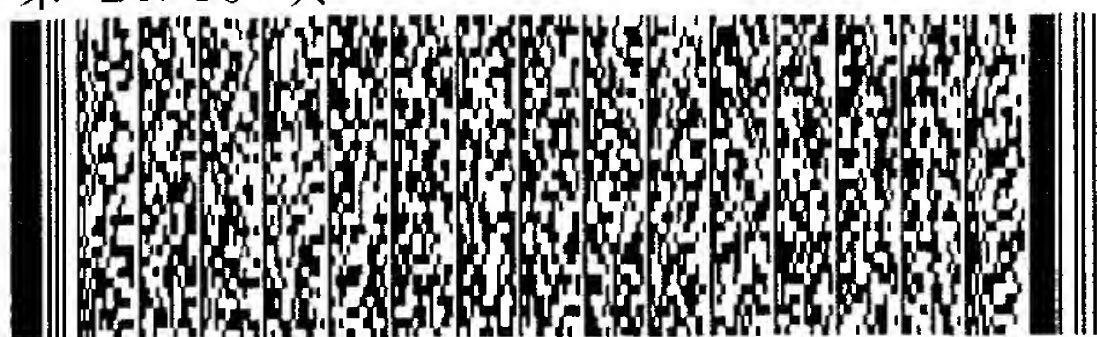
第 19/30 頁



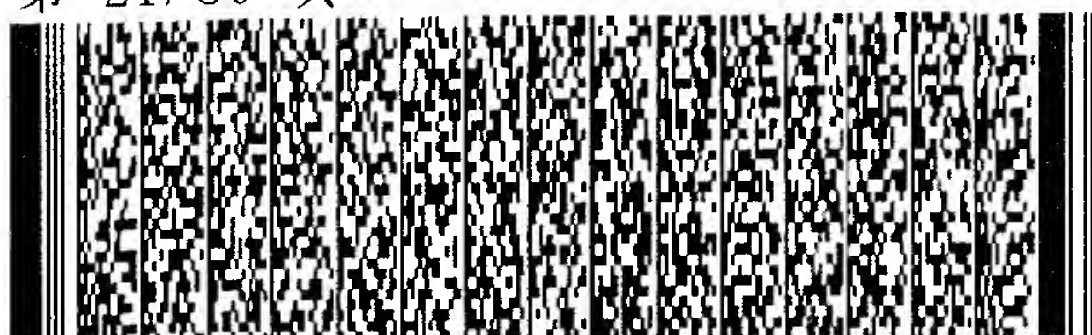
第 20/30 頁



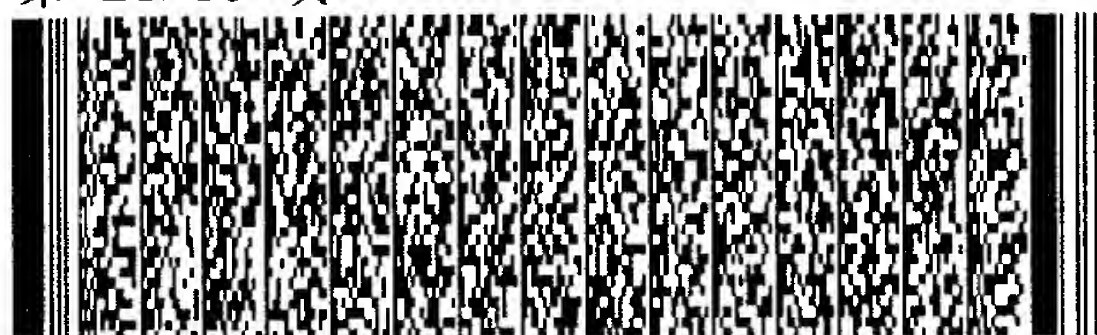
第 20/30 頁



第 21/30 頁



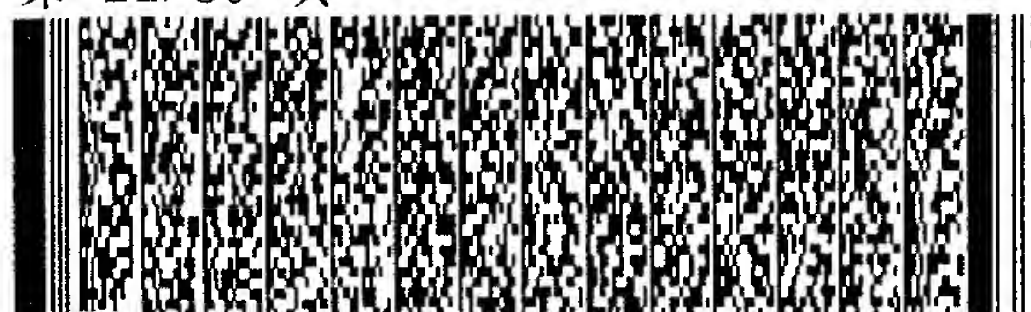
第 21/30 頁



第 22/30 頁



第 22/30 頁



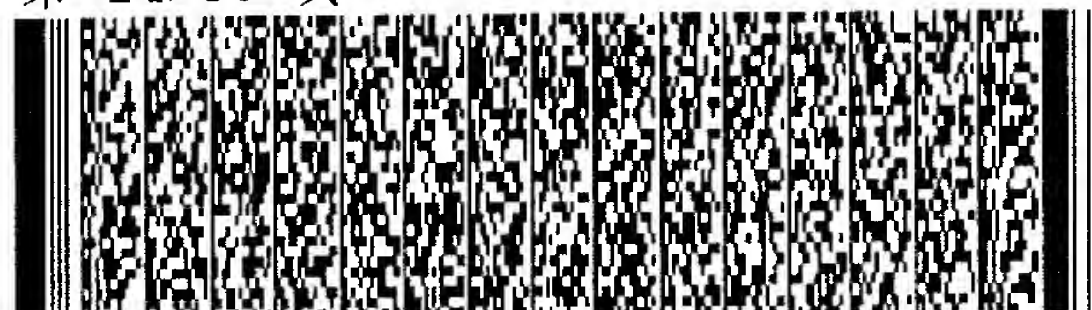
第 23/30 頁



第 23/30 頁



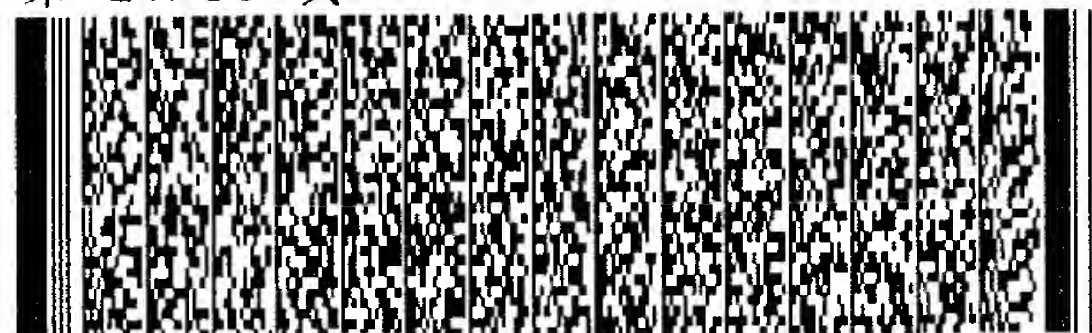
第 24/30 頁



第 26/30 頁



第 27/30 頁



第 28/30 頁

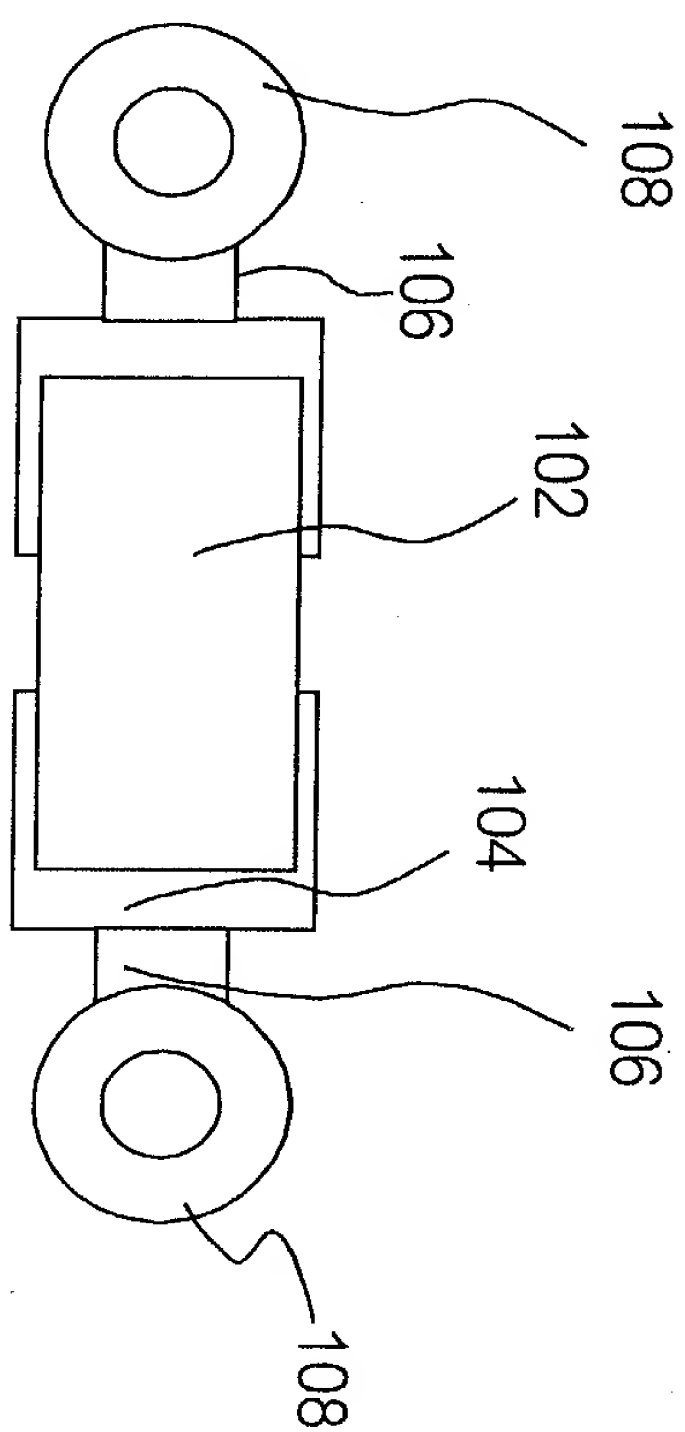


第 29/30 頁

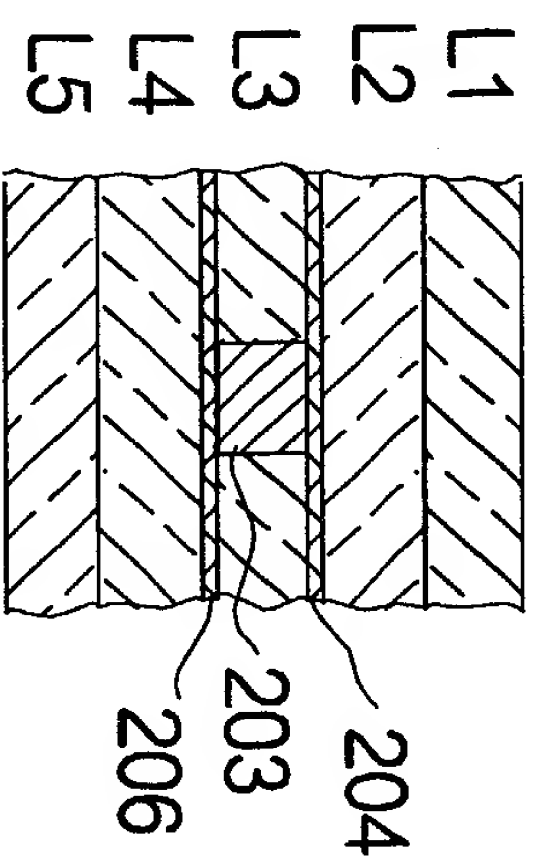


第 30/30 頁

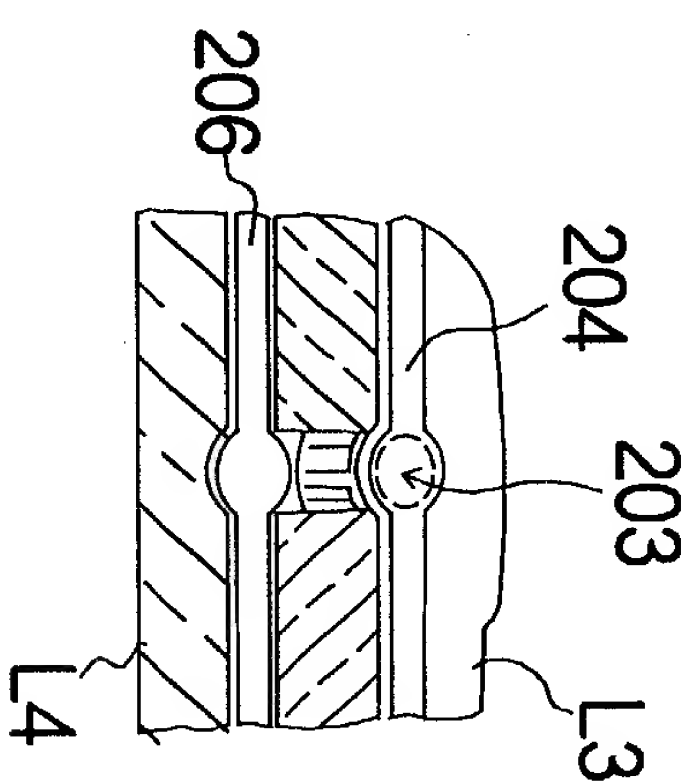




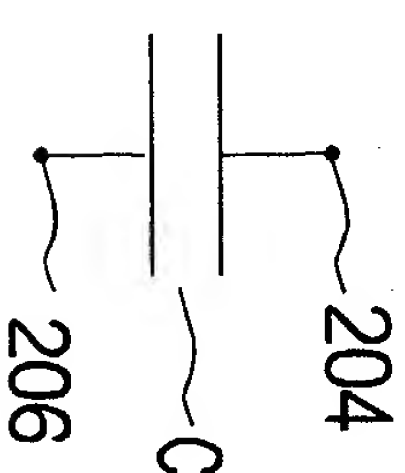
第 1 圖(習知技術)



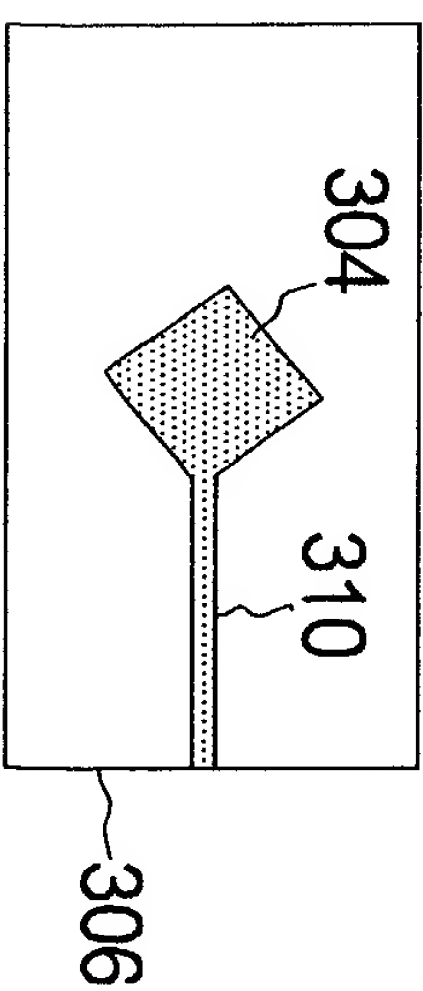
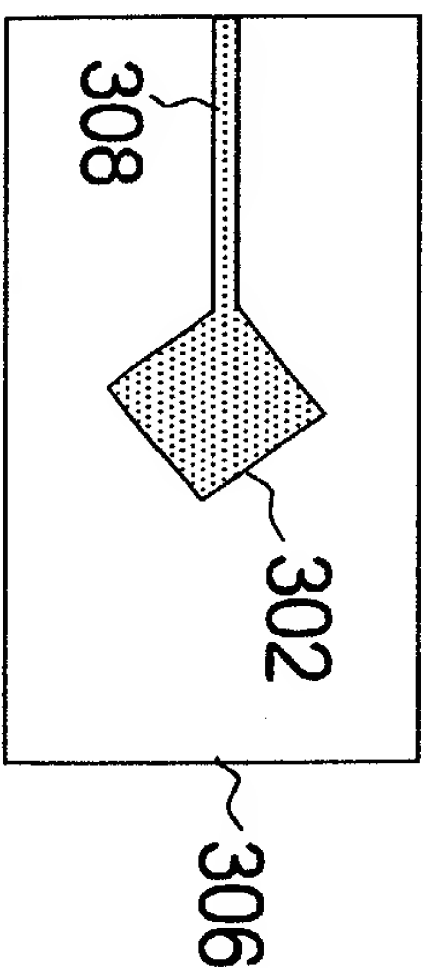
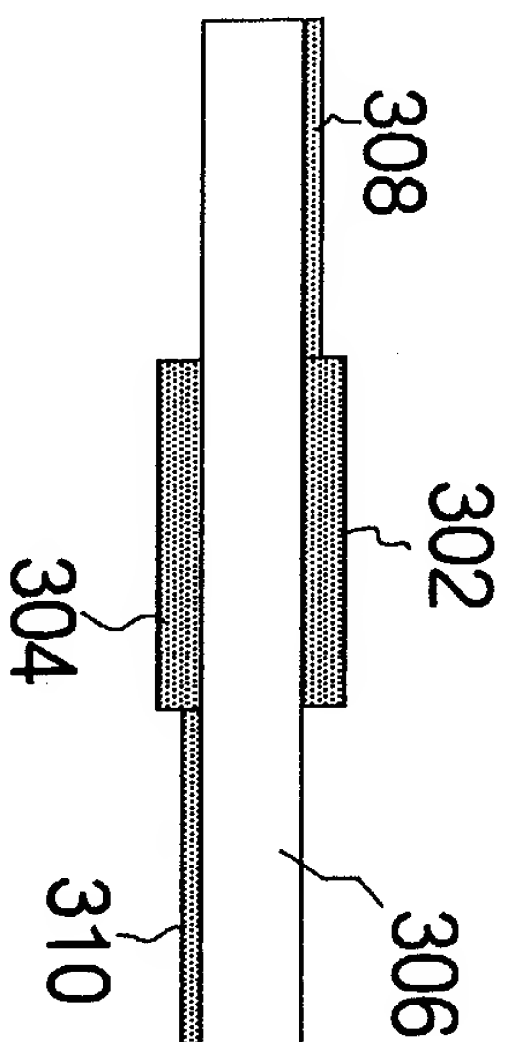
第 2A 圖(習知技術)



第 2B 圖(習知技術)



第 2C 圖(習知技術)

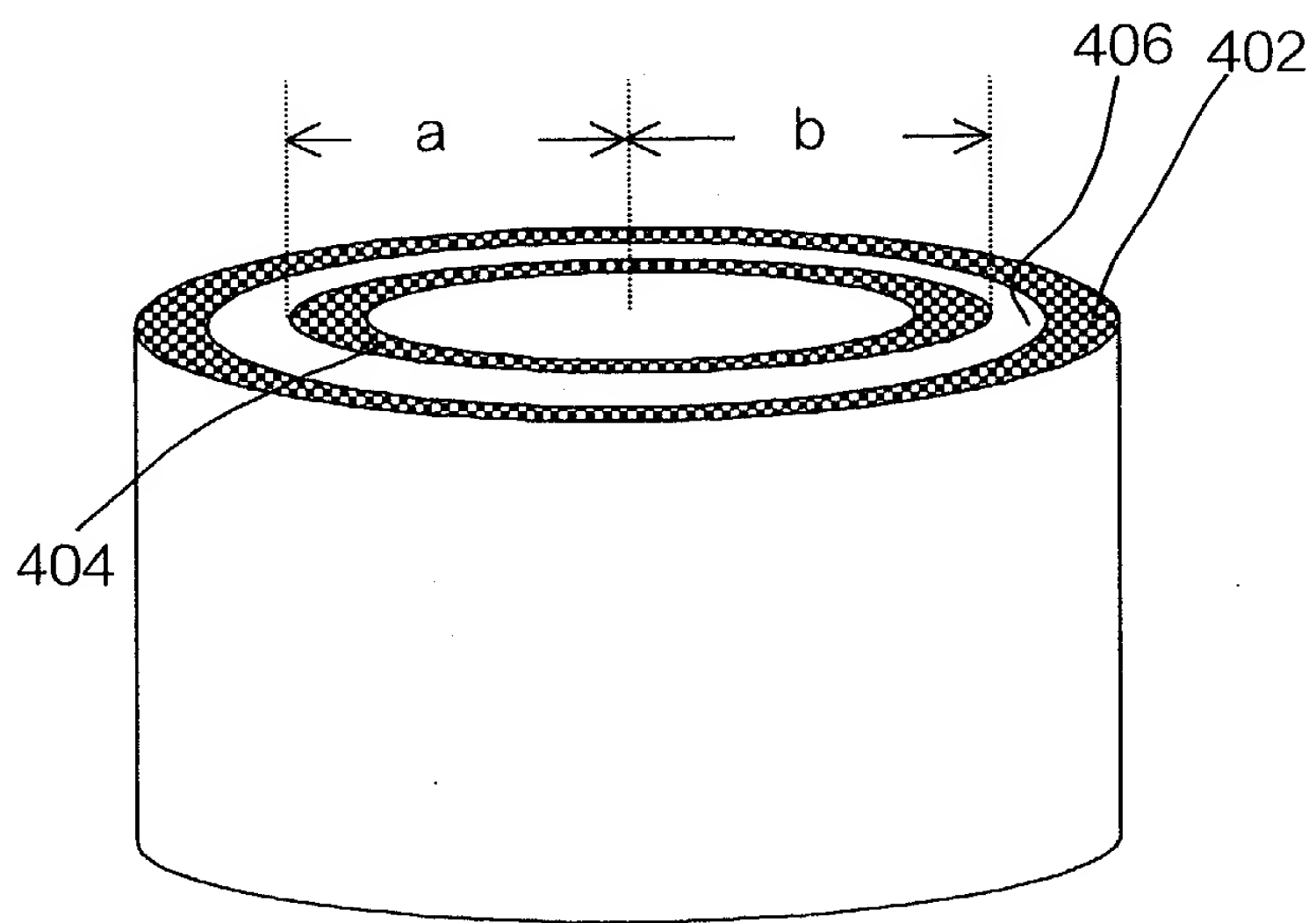


第 3A 圖(習知技術)

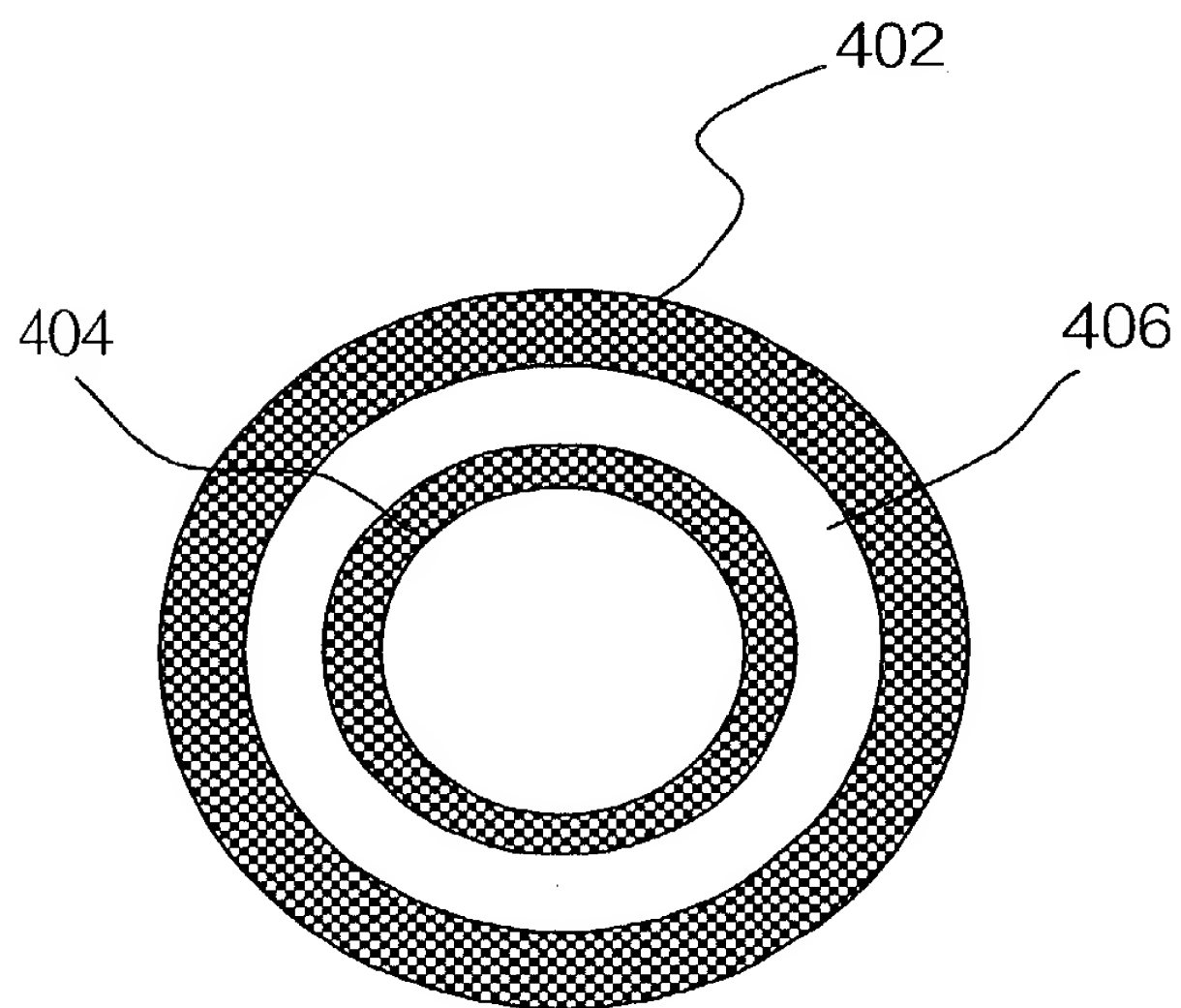
第 3B 圖(習知技術)

第 3C 圖(習知技術)

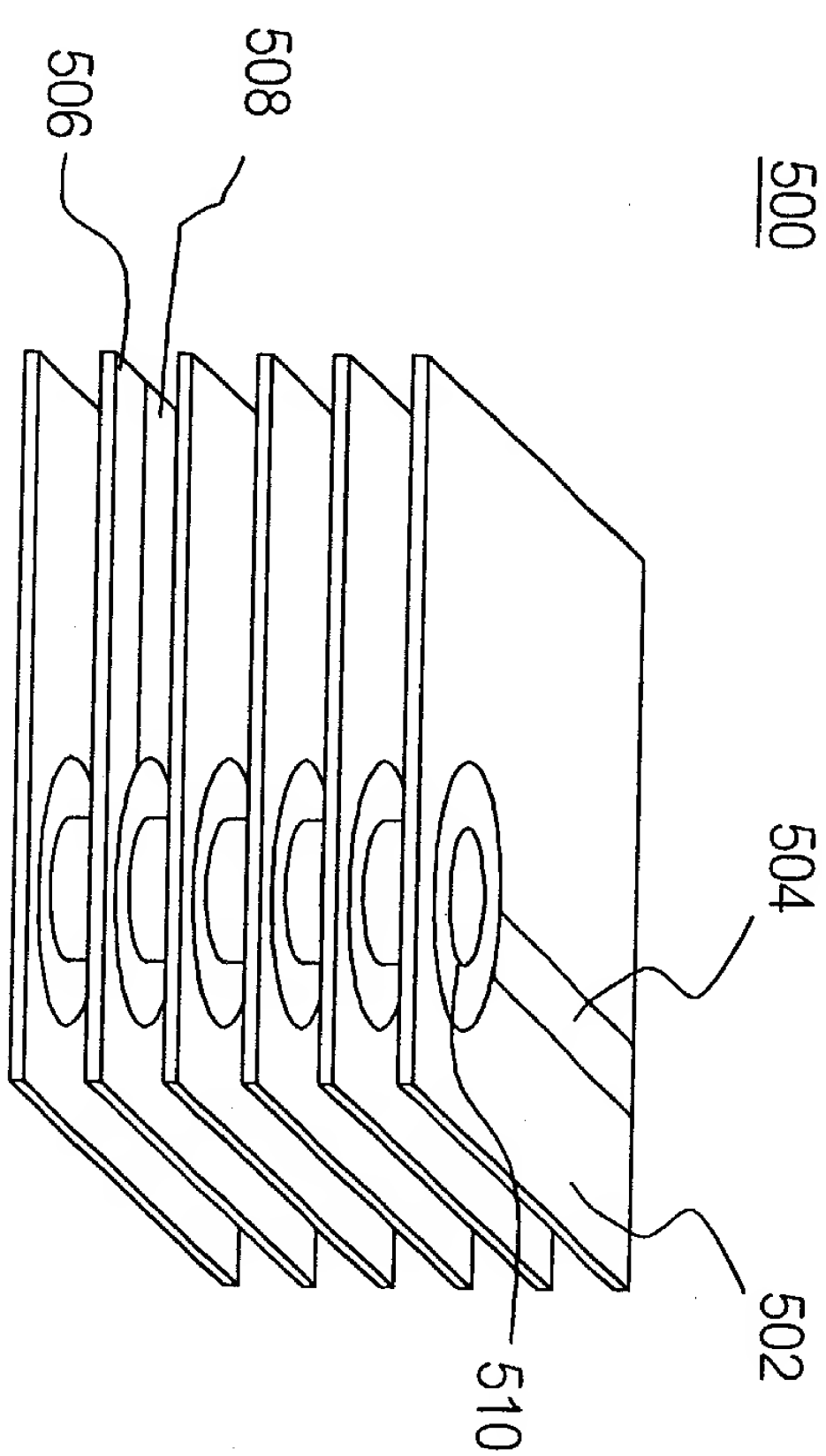
400



第 4A 圖

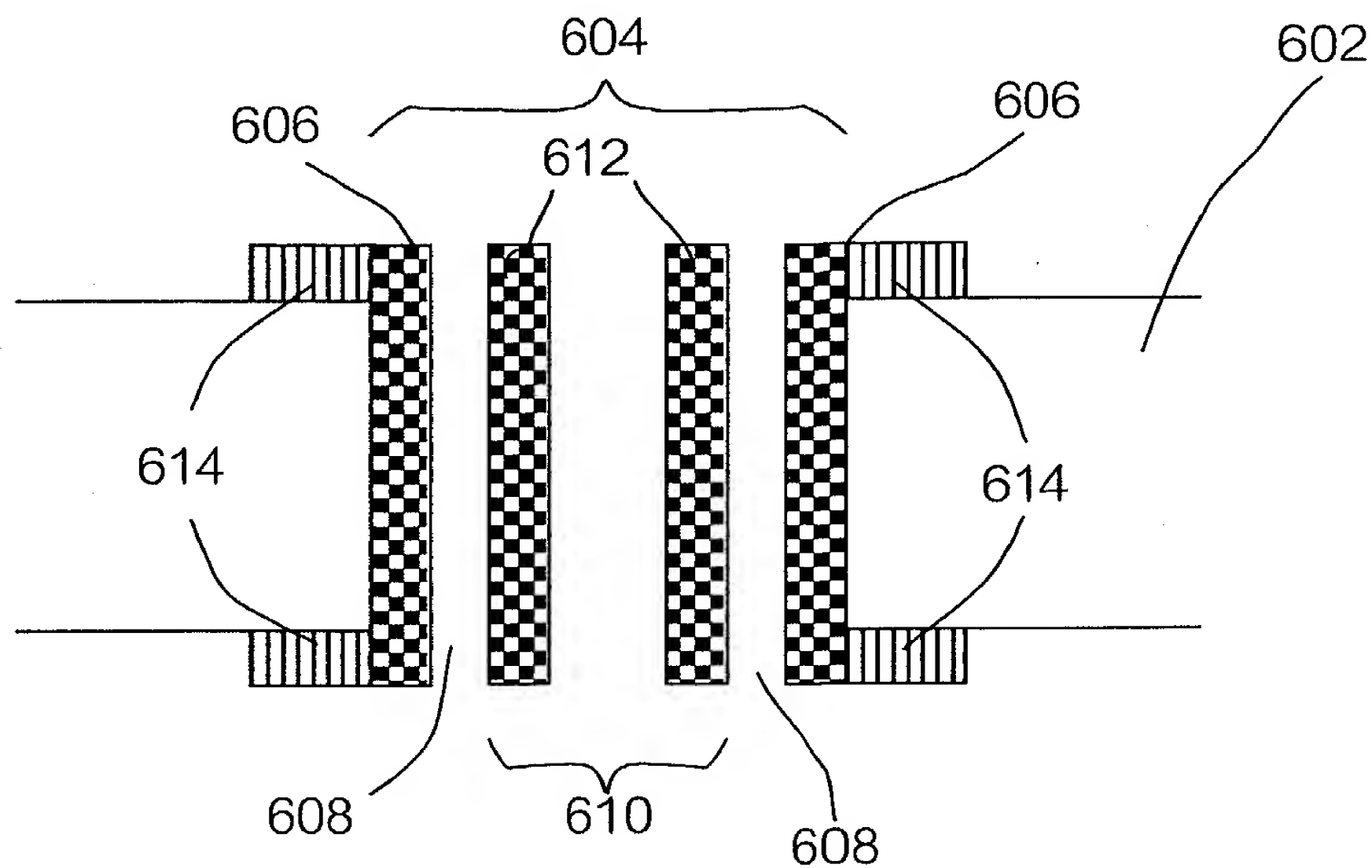


第 4B 圖

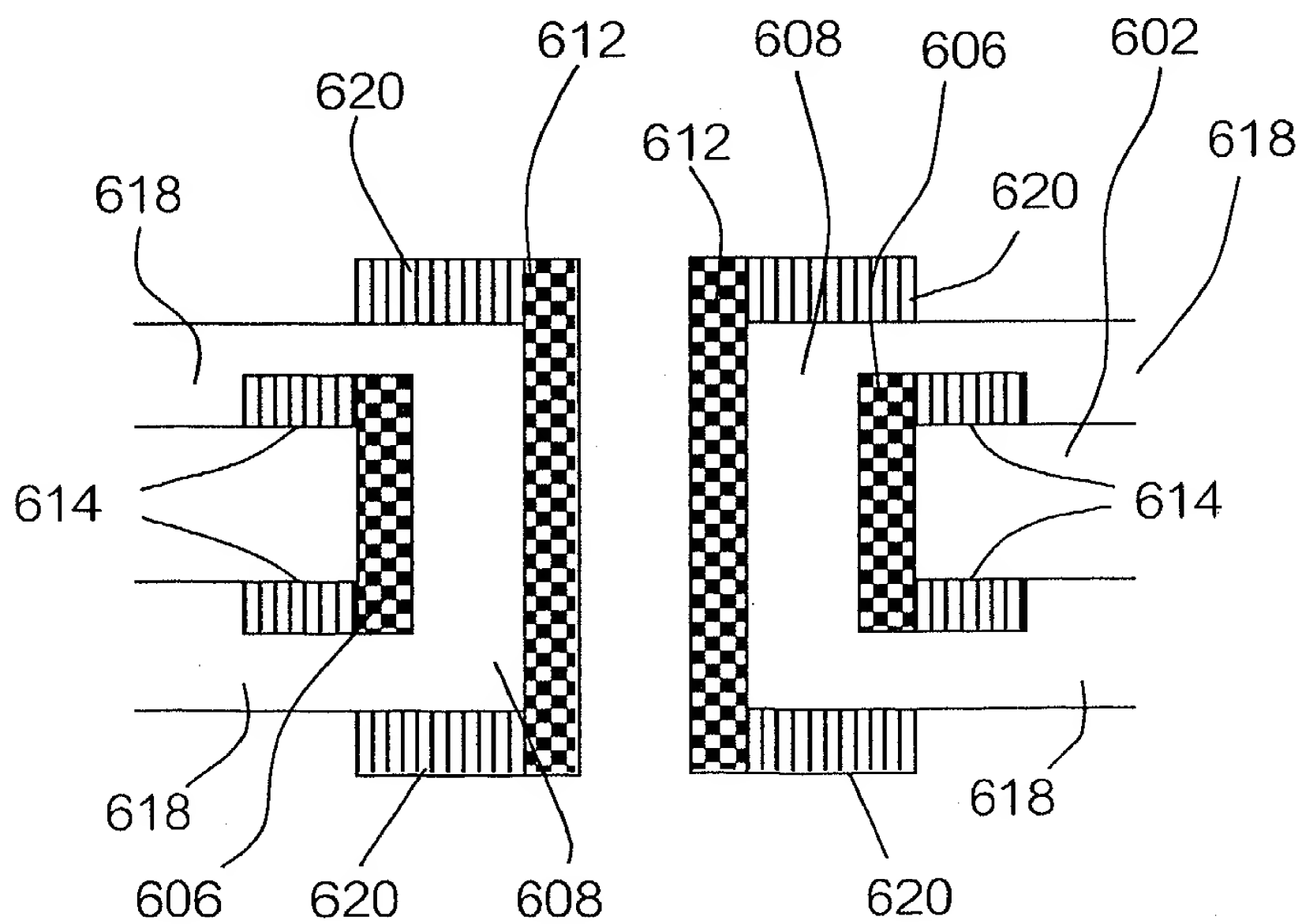


第 5 圖(習知技術)

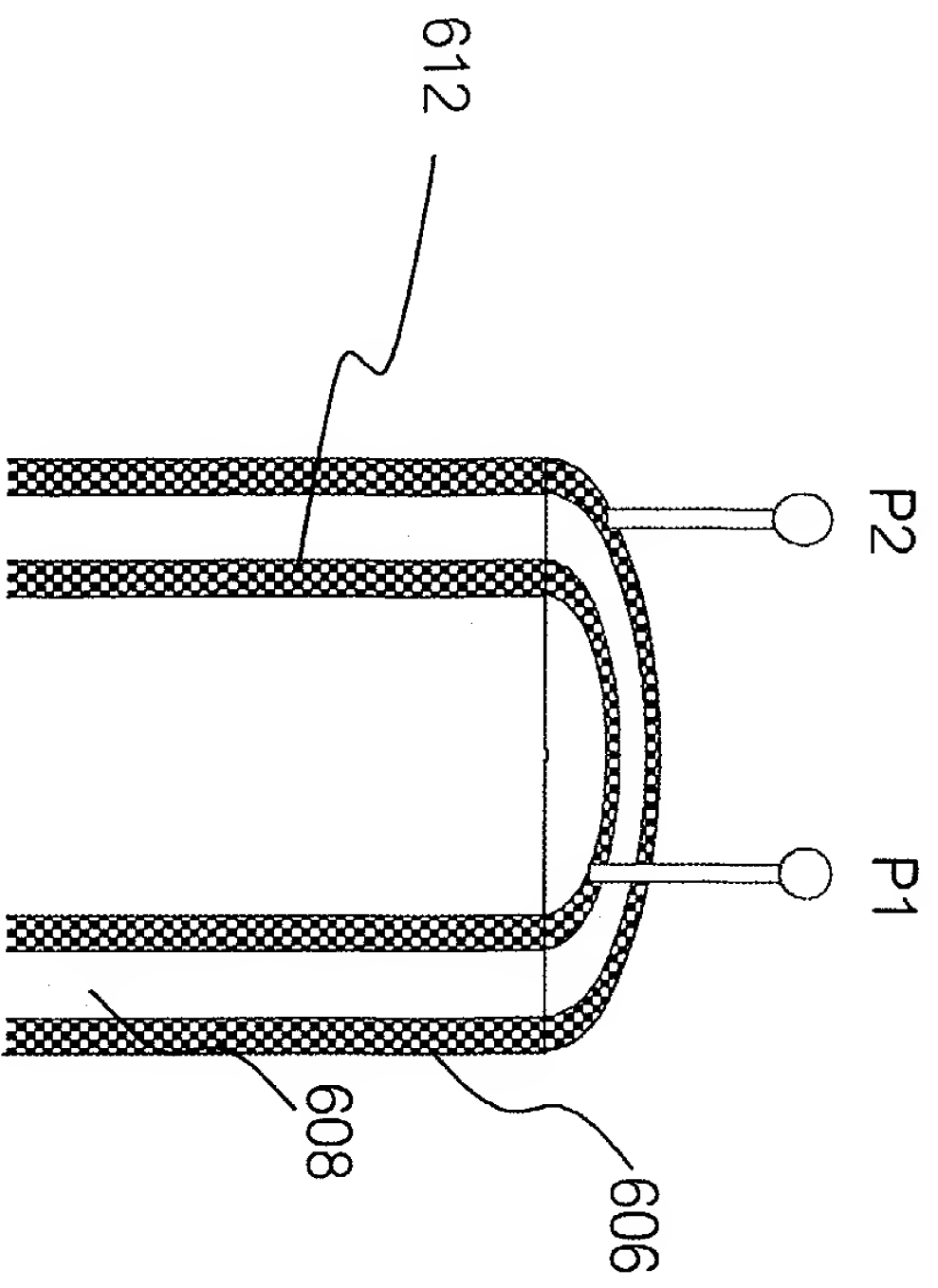
600



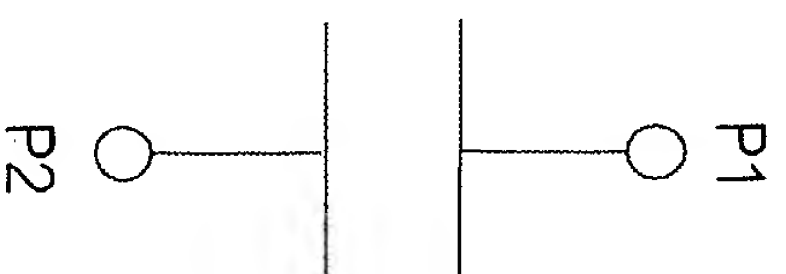
第 6A 圖



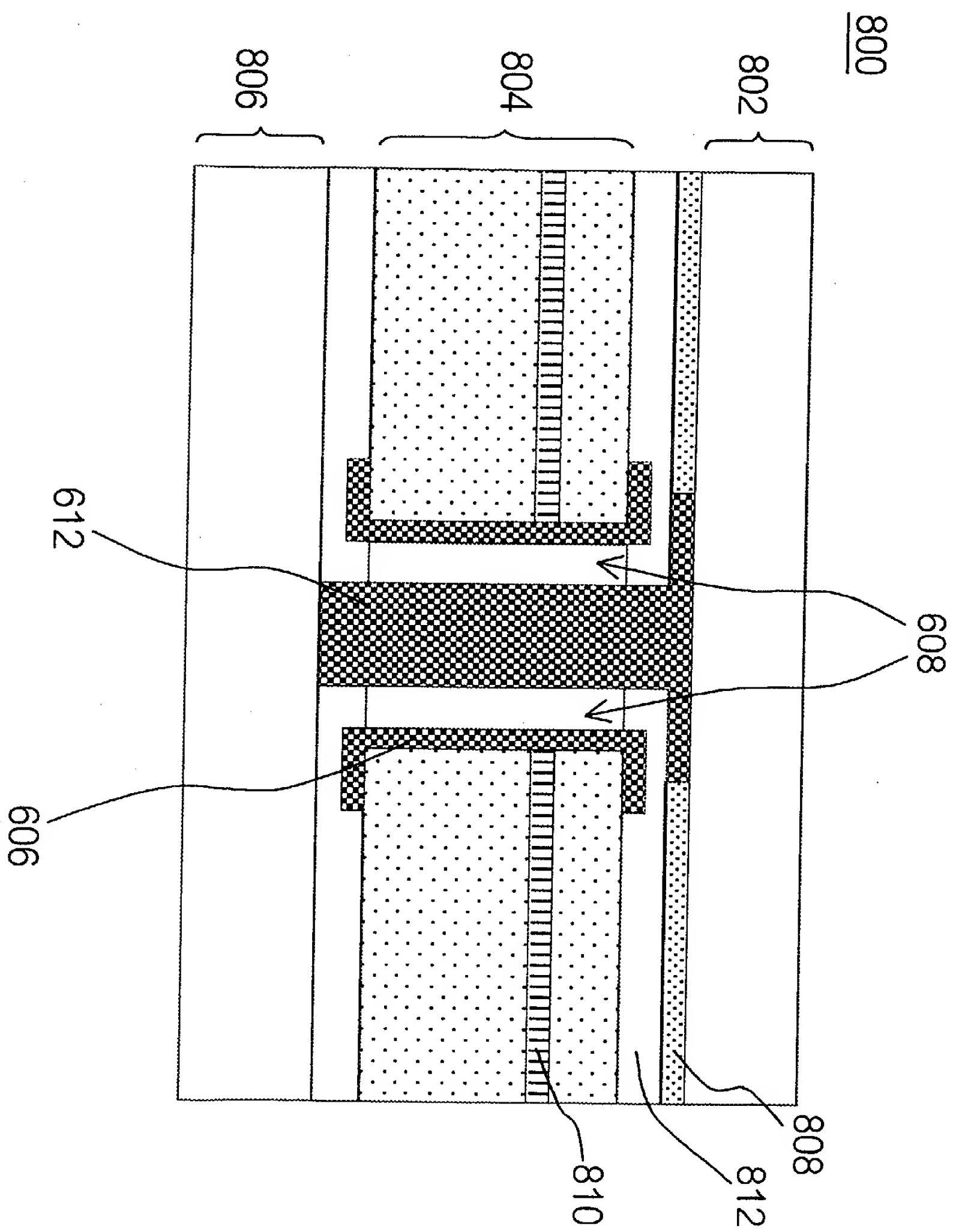
第 6B 圖



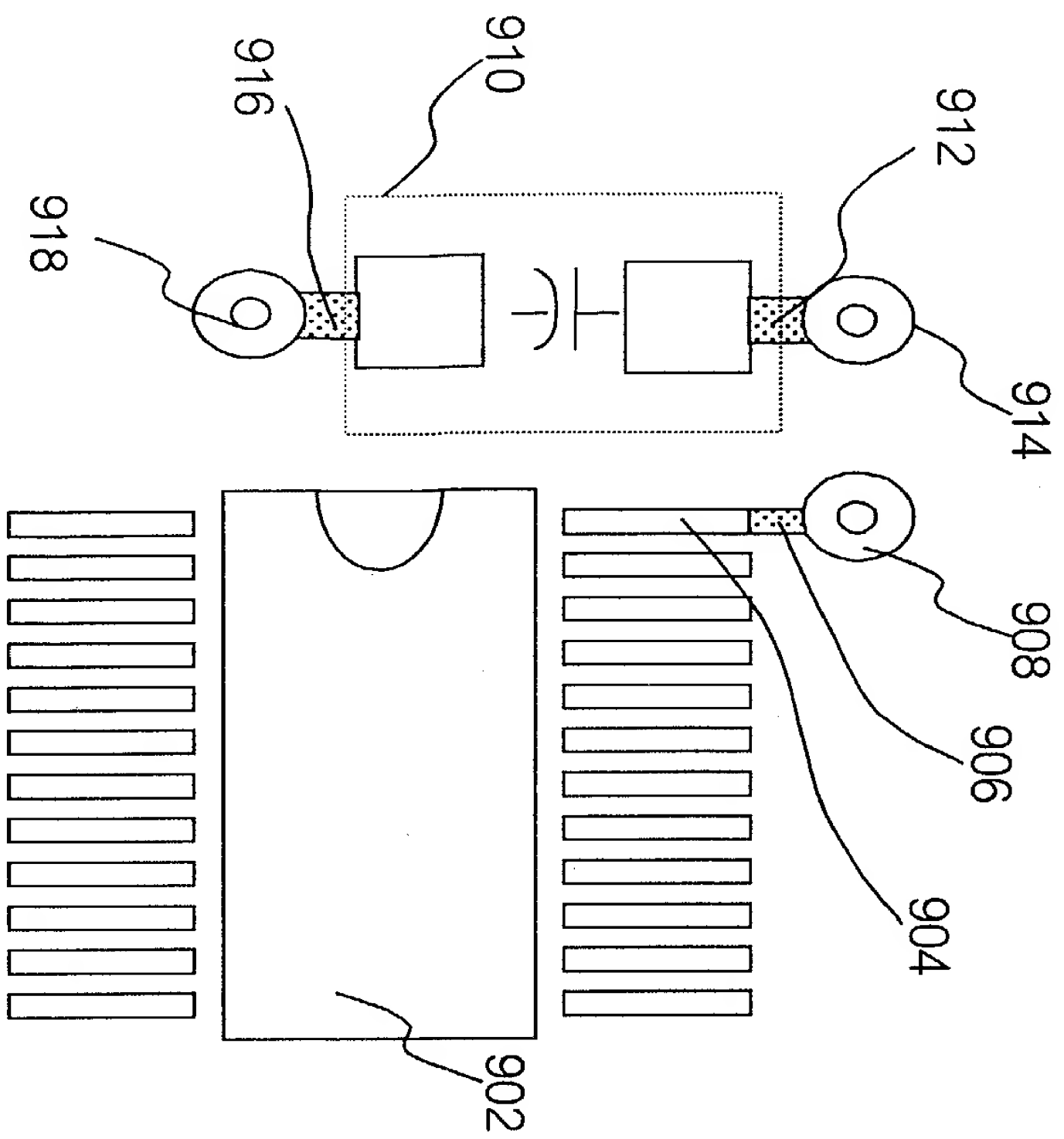
第 7A 圖



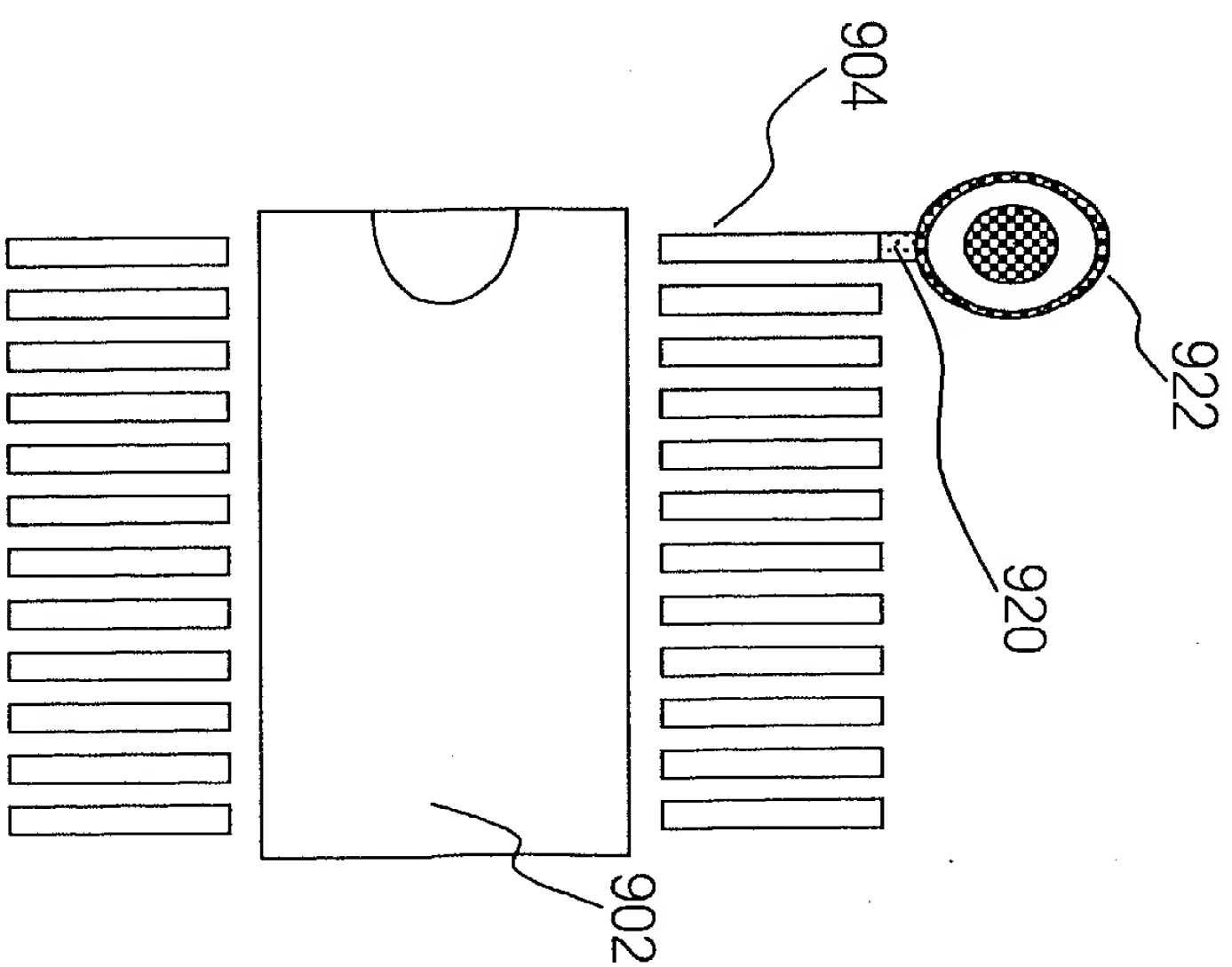
第 7B 圖



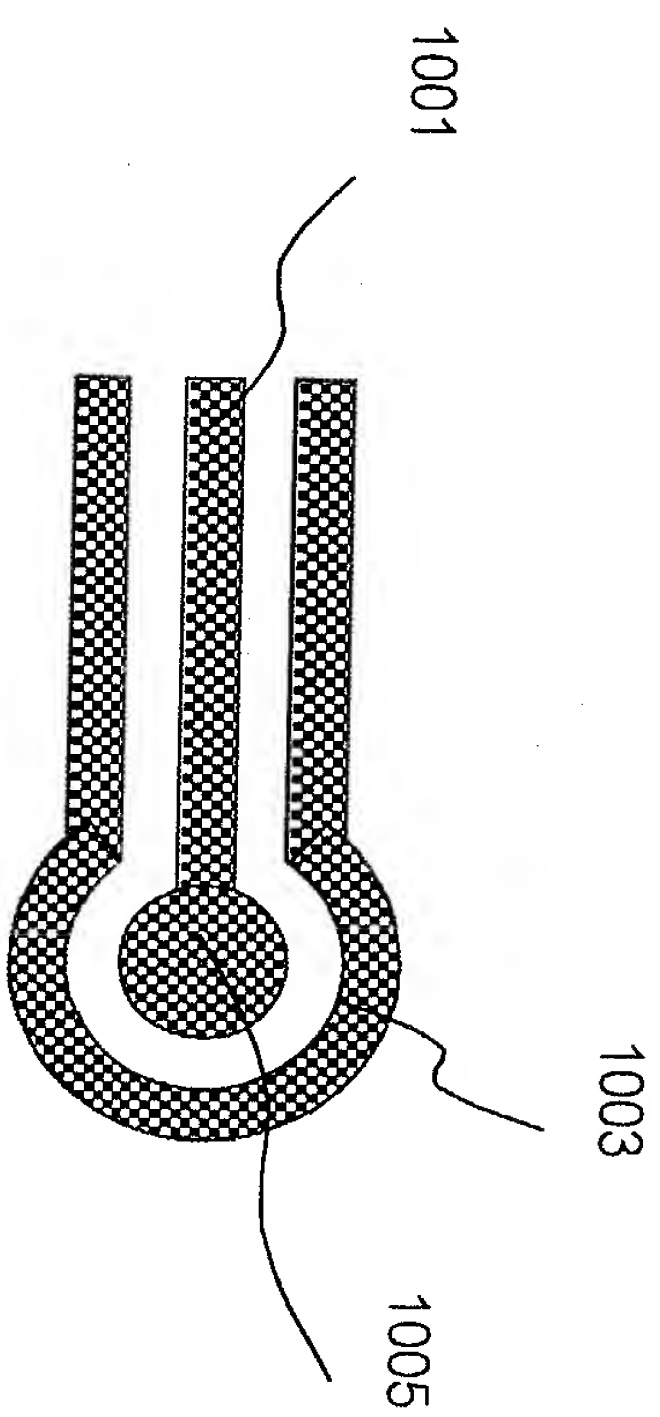
第 8 圖



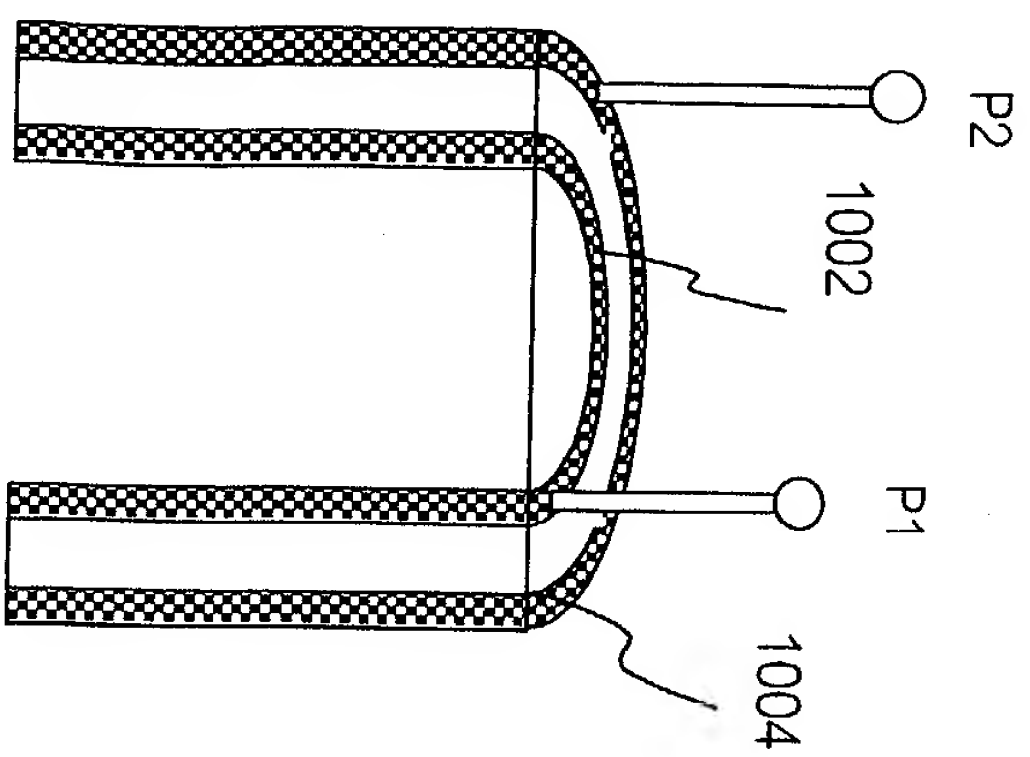
第 9A 圖(習知技術)



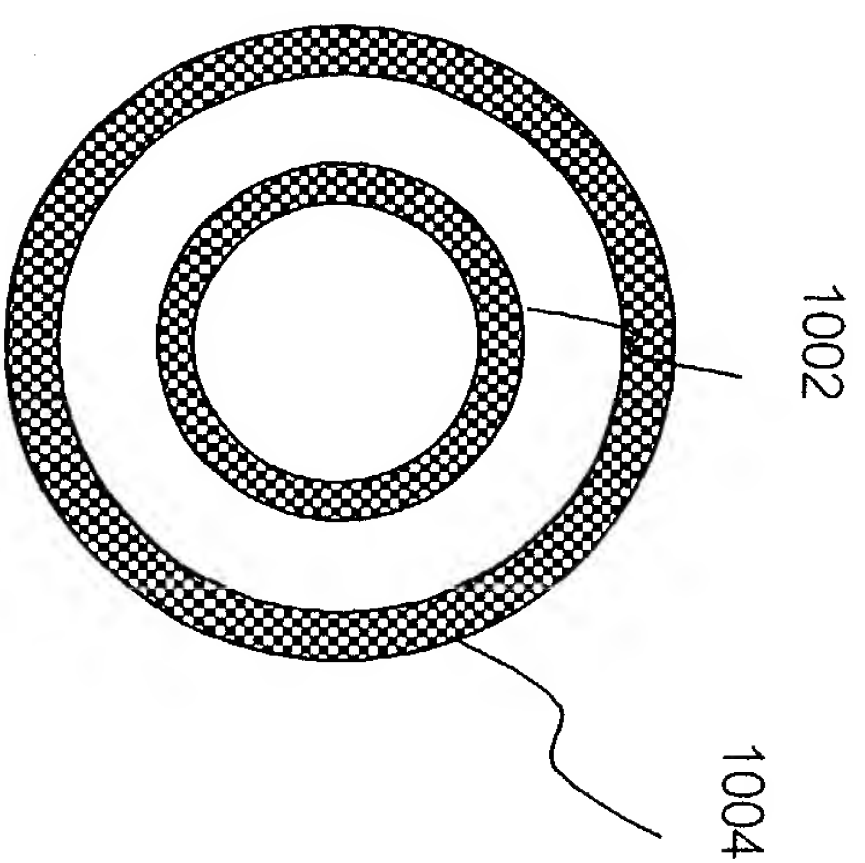
第 9B 圖



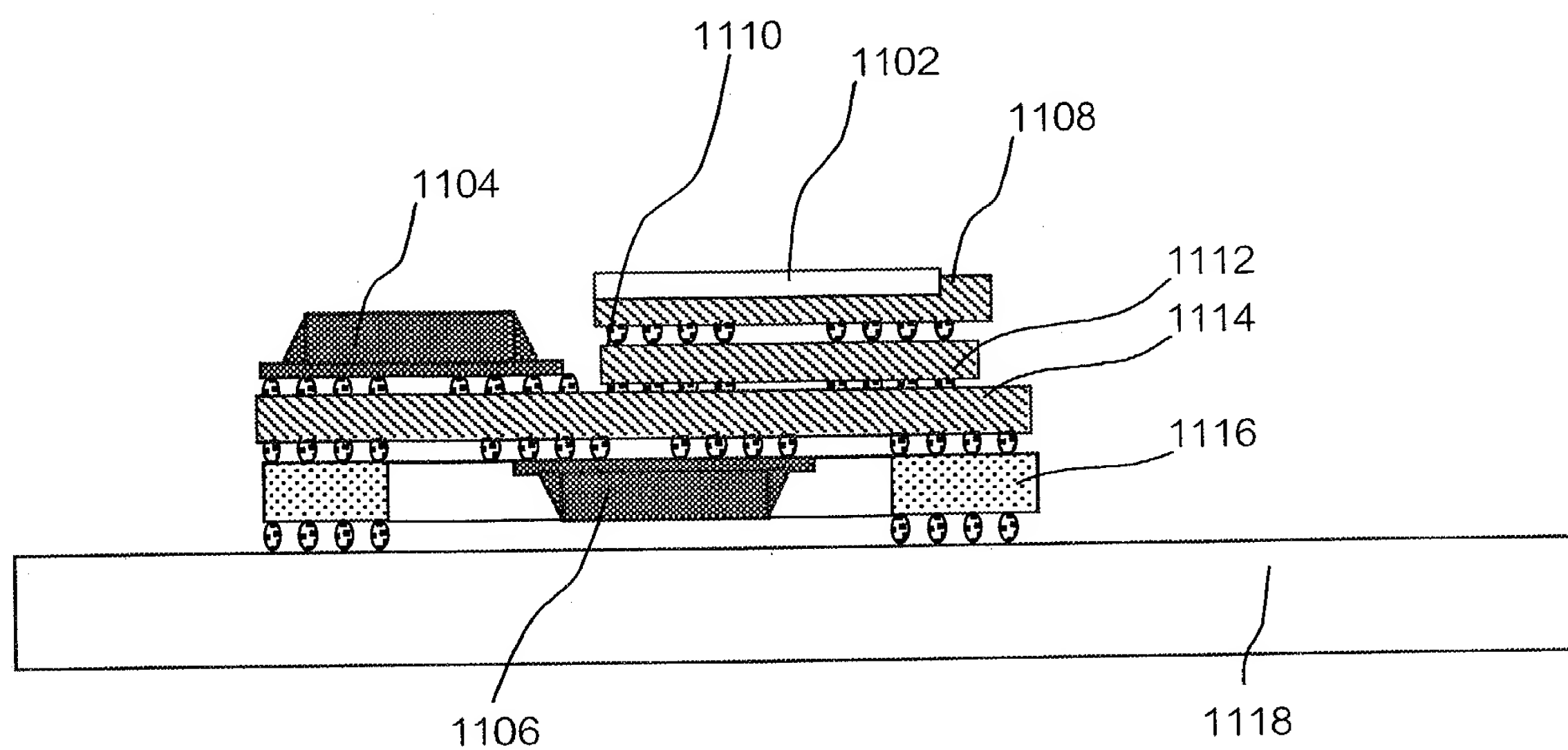
第 10A 圖(習知技術)



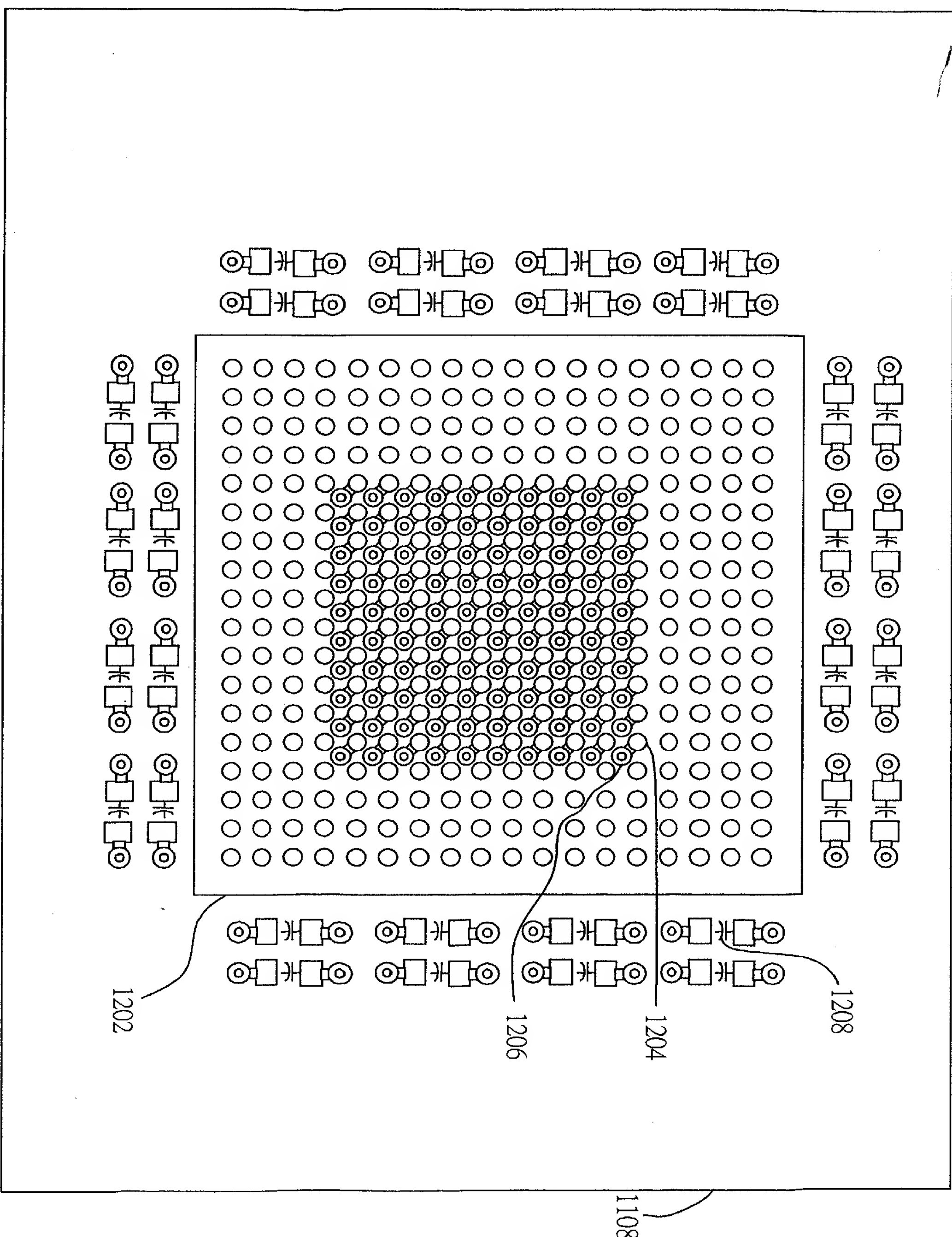
第 10B 圖



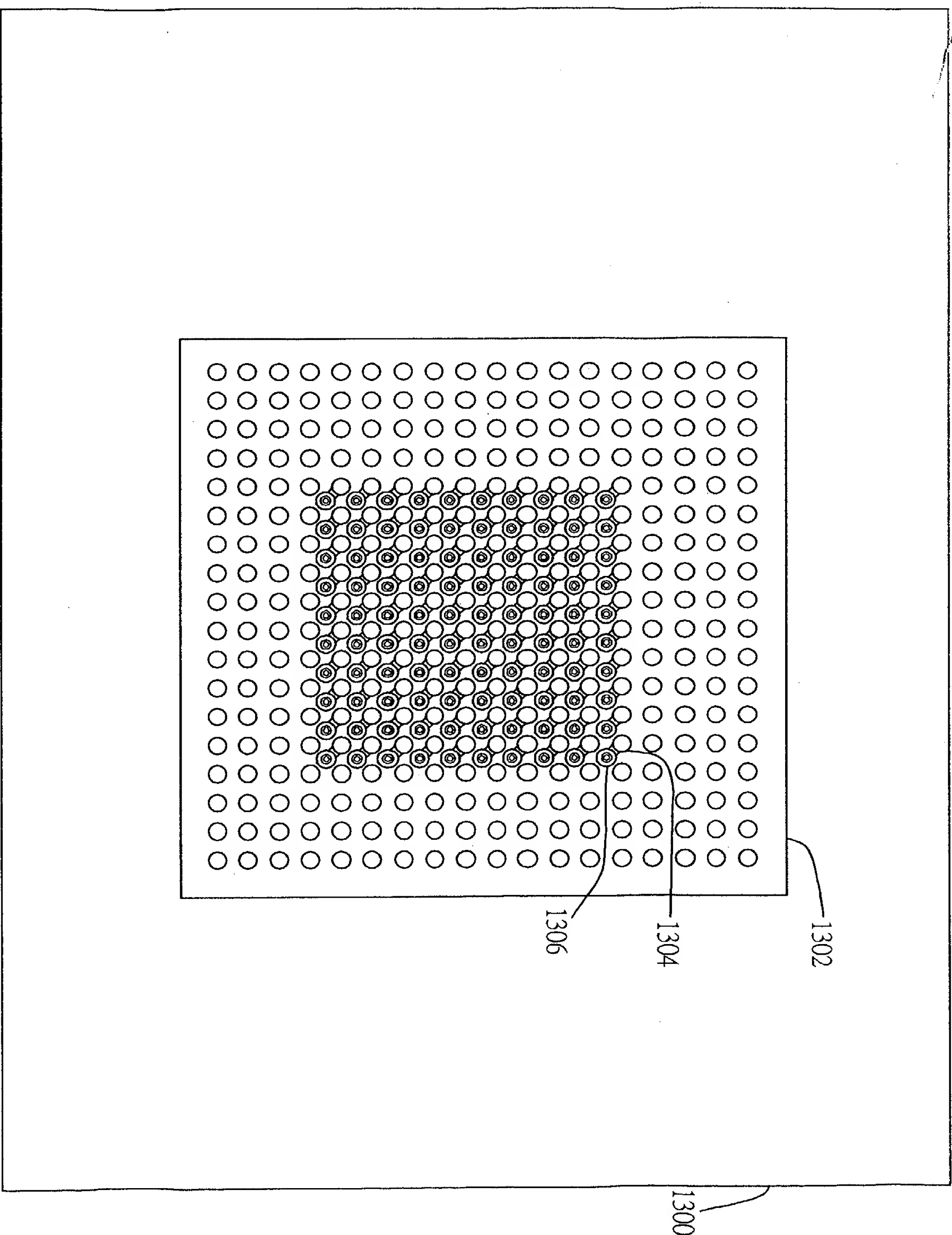
第 10C 圖



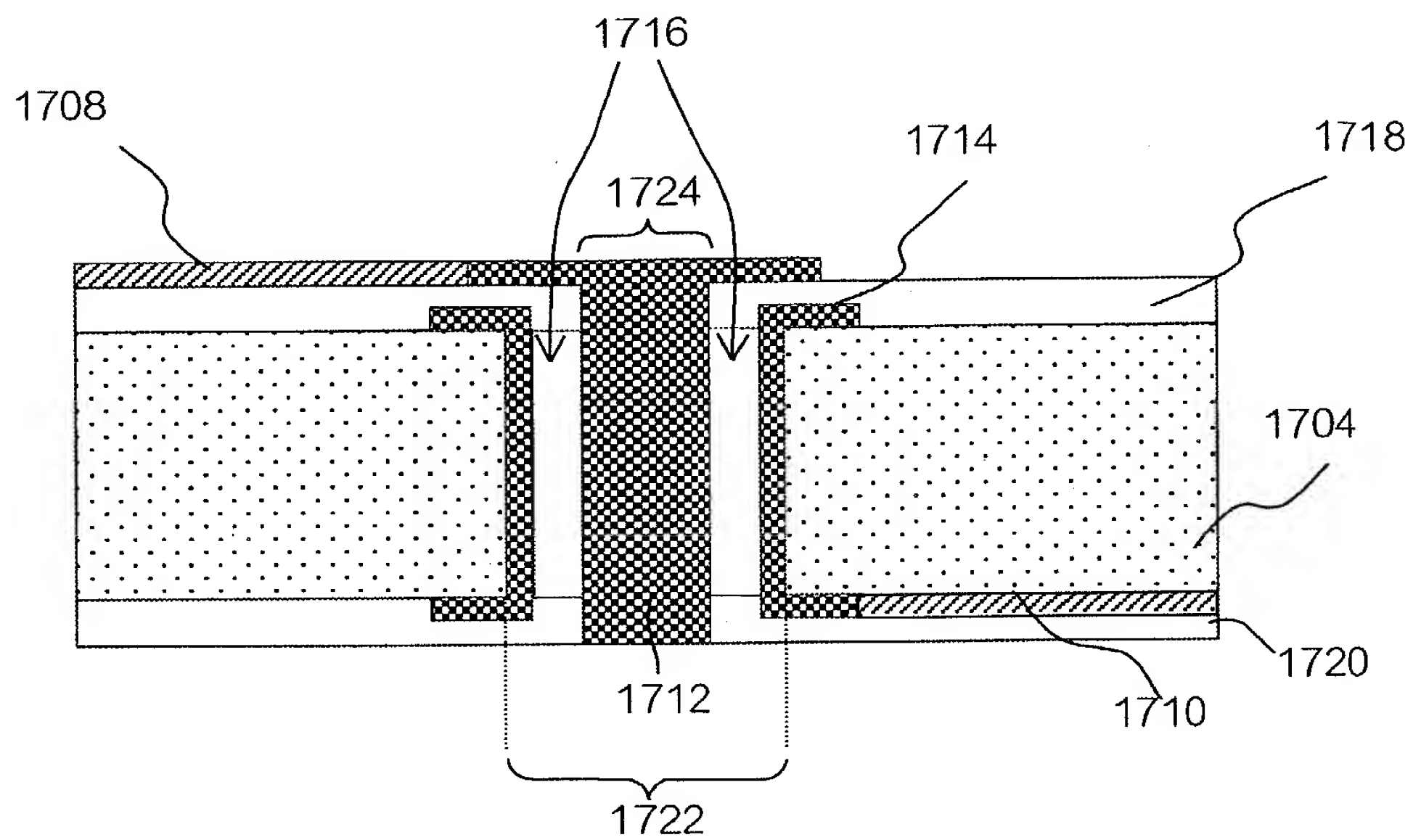
第 11 圖



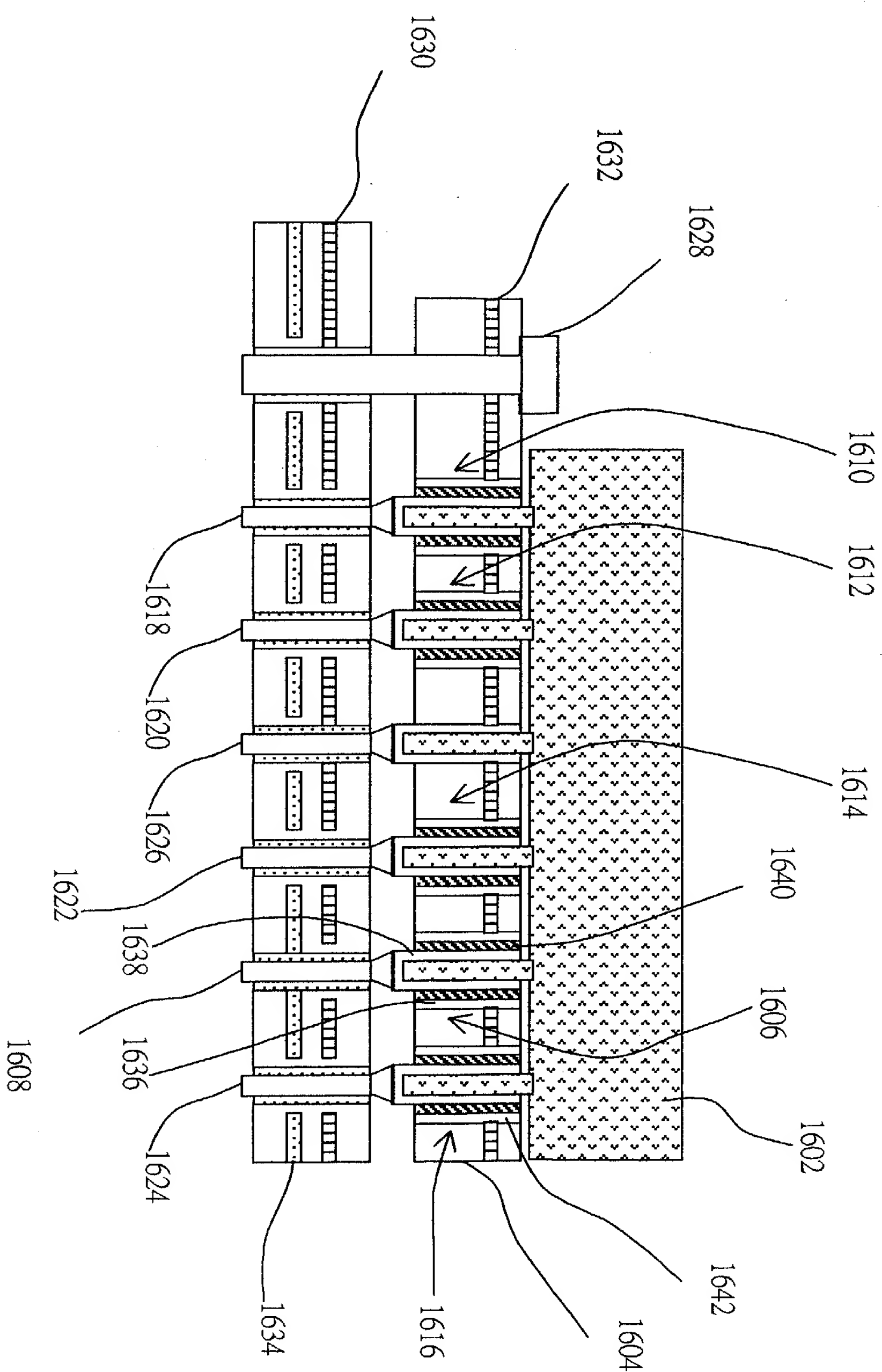
第12圖(習知技術)



第13圖



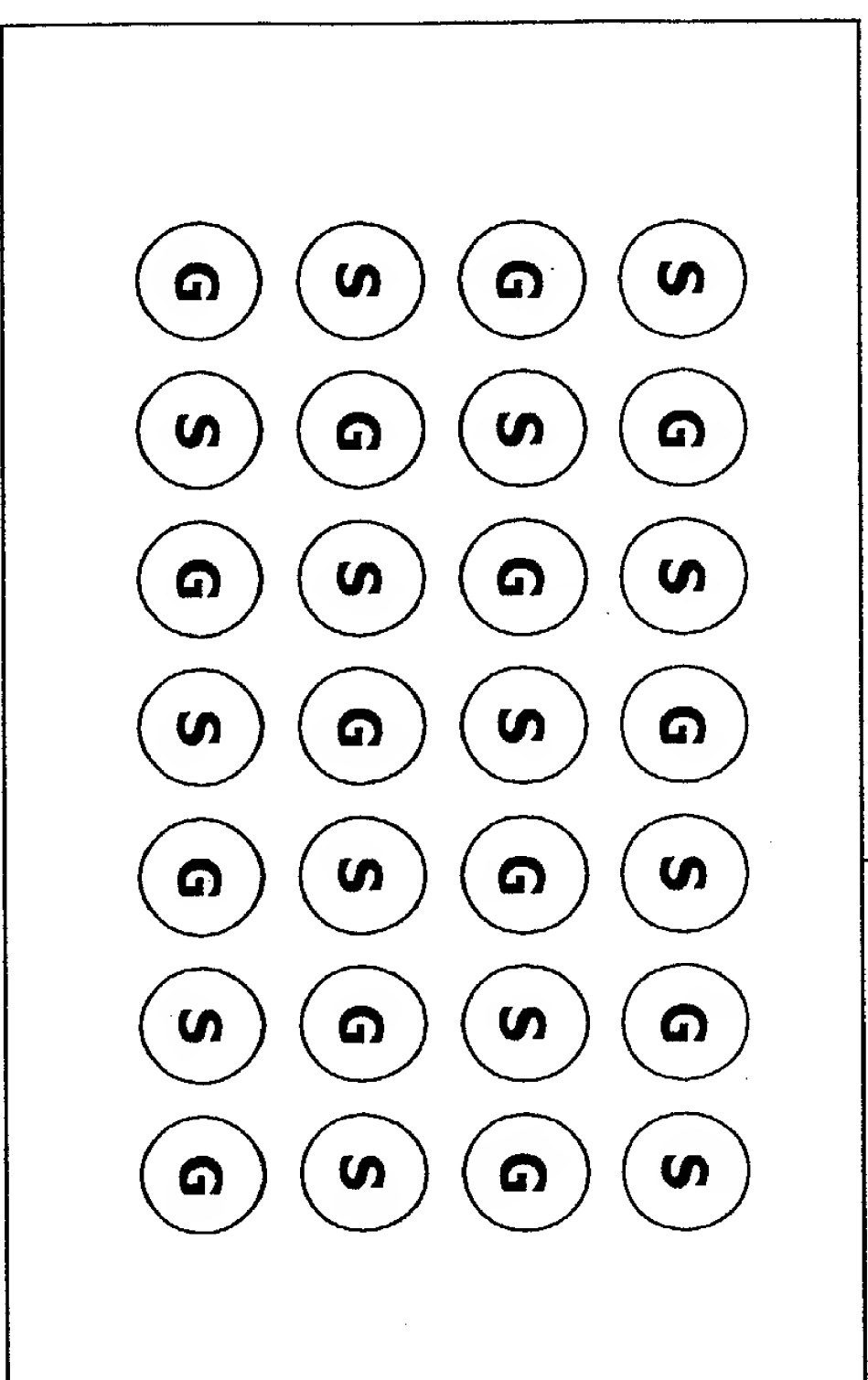
第 17 圖



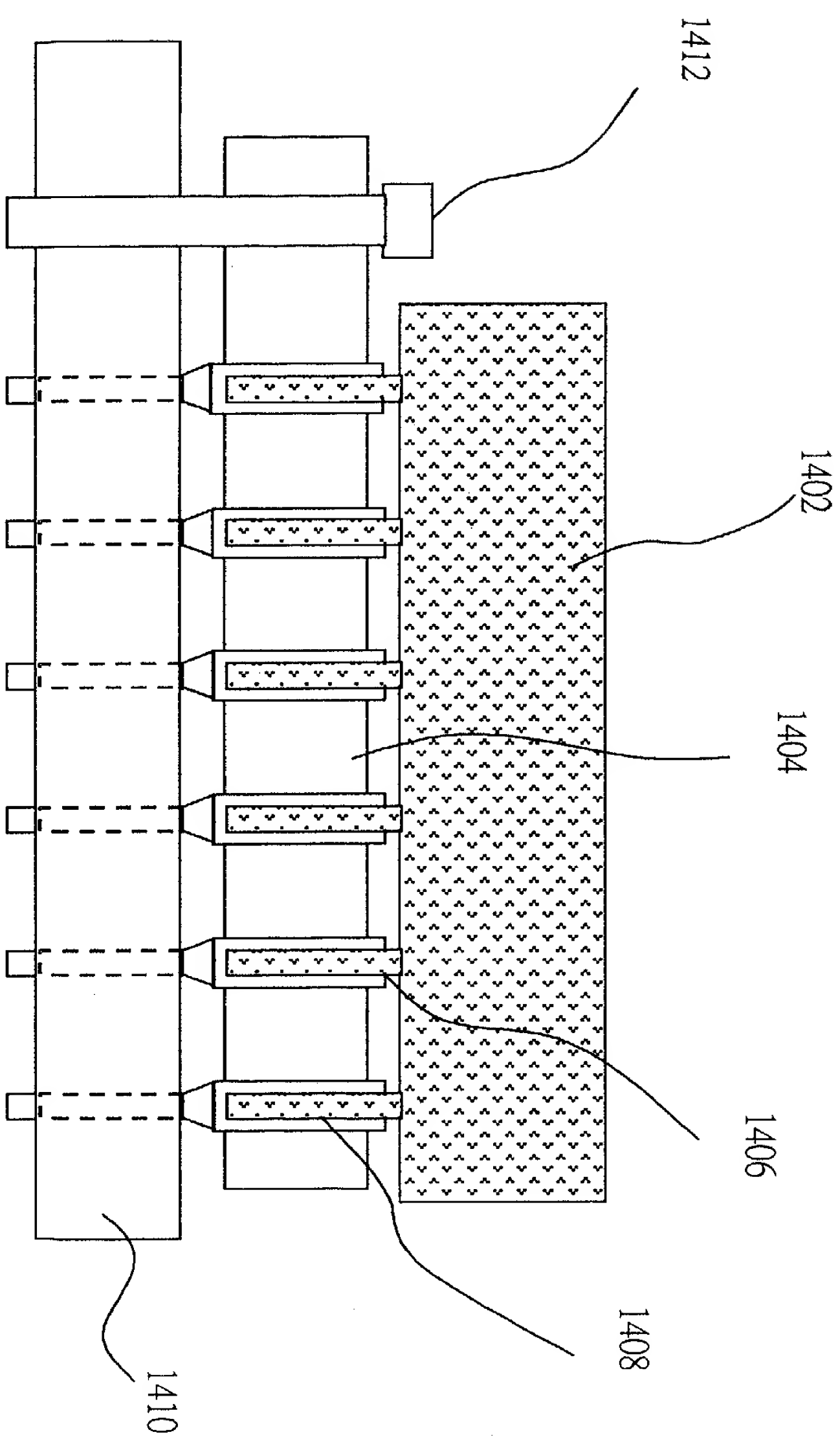
第16圖

TWQ
A

1402



第15圖(習知技術)



第14圖(習知技術)